

---

# レーザ走査光学系における主走査方向の電氣的画素位置補正技術

## Electrical Dot Position Compensation in Main Scanning Direction of Laser Scanning Optical System

石田 雅章\*      二瓶 靖厚\*      大森 淳史\*      小篠 団\*  
Masaaki ISHIDA      Yasuhiro NIHEI      Atsufumi OMORI      Dan OZASA

---

### 要 旨

今後、普及が期待されるカラーMFP、LBPの高画質化を実現するには、画素の位置ずれを補正することが必要であるため、主走査方向における画素（ドット）の位置ずれ補正を電氣的に実現する技術を開発した。本技術は、主走査方向の電氣的な画素位置補正が可能であり、以下の特徴がある。

1. 走査光学系の倍率誤差補正等を含む画素の位置ずれ補正が可能。  
⇒レンズ設計の自由度が向上し、トータルコストダウンが可能。
2. 複数の画素位置ずれ量を検出することにより、カラー機の色ずれをシステム全系として制御する事で、高画質化が可能。
3. マルチパルス生成機能により、画像処理の自由度が向上。  
本開発を実施した結果、主走査方向における画素の位置ずれ量を、従来より約1桁高精度化する事が可能となった。

### ABSTRACT

Technology to compensate a pixel position shift in a laser scanning optical system is required to realize high image quality of color MFP and LBP that are expected to spread in the future, so the technology of realizing electrical position shift compensation of the pixel (dot) in the main scanning direction was developed. Electrical dot position compensation in a main scanning direction has become available as for this technology, and having features as following.

1. Position shift compensation of a pixel including magnification error compensation of a scanning optical system is possible.  
⇒ The flexibility of lens design is improved and a total cost reduction is possible .
2. By detecting pixel position shifts in multiple positions, total control of color shift compensation is possible as a system. And it contributed to high image quality.
3. The flexibility of image processing improves by the function of multi-pulse generation.

A dot position shift in main scanning direction can be restrained with a high accuracy of one digit than before as a result of the development.

---

\* 画像技術開発本部 OE開発室  
Opt Electronics Development Department, Imaging Technology Division

## 1. 背景と目的

近年、プリンタ、およびデジタル複写機の動向は、従来のモノクロ機からカラー機へ大きく転じてきている。そのなかにあつてリコーは、今後のカラー画像の品質を向上させる事による優位性に注目し、画質向上を積極的に推し進めてきている。

現在、カラー画像において、画質向上の大きな課題となっているのが色ずれの低減である。色ずれとは、例えばタンドムカラー機において、各色をそれぞれ別の光学系・現像系で再生するため、それぞれの光学系・現像系、さらに経時や温度等の変化により、正確に所望の位置に各色の画素を配置できない事から発生する。例えば、緑色を出力したい場合、Y（イエロー）とC（シアン）を適当な割合で合成すればよいが、正確に所望の位置に各色の画素を配置する事が難しいため、画素間の位置ずれを生じ、その結果として、Y（イエロー）とC（シアン）の配合が変化してしまい、本来要求される色とはやや色合いが異なった緑色が出力されてしまう。

画素の位置ずれが発生する主な原因として、下記の項目が考えられる。

- ① 各色毎に光学系・現像系を持つことによる位置ずれ
- ② 画素クロックを生成するPLL部の設定精度やジッタ
- ③ レーザ光を走査する際に生じる光学的な位置精度
- ④ 転写ベルトの蛇行等による転写系における位置ずれ

本稿では、色ずれの発生を、各色の画素の位置ずれが原因であるとして、本課題の解決策を検討した。また、この各色の画素の位置ずれは、ラスタ走査光学系において、主走査方向と副走査方向のどちらに対しても重要であるが、本稿では、画素クロックを変調する、という概念に基づいて、主走査方向における画素の位置ずれを電氣的に補正する方式を検討したので報告する。

## 2. 技術

### 2-1 全体概要

実際にレーザー光が走査する際に、画素を正しい位置に制御したい訳であるが、最近では高画質化が進み、画素サイズも小さくなり、より高精度化が必要となつてきている。例え

ば、主走査、副走査共1200dpiの場合、1画素が21.2ミクロン角であり、各画素を所望の位置に正しく配置しようとするとき数ミクロンの精度が必要となる。

この位置ずれをPLLで構成された画素クロック生成部で主走査方向のラインの全体倍率補正をする場合を考えてみる。A4横幅で約14000画素であり、画素の位置精度が1/10画素、つまり2.12ミクロンであった場合、周波数差は

$$1/14000 \times (1/10) = 1/140000$$

であり、例えば画素クロックが10MHzであるとするとき、

$$10\text{MHz}/140000 \approx 71.4\text{Hz}$$

となる。つまり、71.4Hz毎に周波数を変更できるPLLでなければならないが、実際にはこれ程の低い周波数と1/140000という細かい分周比で安定、高精度、低ジッタに制御されたPLLを構成することは困難である。また、PLLは制御系であり、設定した瞬間に所望の周波数になる訳ではないことから、新規方式による画素クロック生成部が必要となる。

以上から、例えばPLLを用いた画素クロック生成時にアナログ的に正確に補正を行う事は非常に困難である。そこで、画素クロック若しくは画素データそのものをデジタル的に変調すれば、主走査方向のどの位置においても、所望の位置に画素を打つ事が可能ではないか、という考えに基づいて画素クロック若しくは画素データのデジタル変調という概念を提案した。

画素クロック若しくは画素データのデジタル変調に必要な構成要素は、下記に示す3つがある。

- ① 変調画素クロック生成
- ② マルチ高周波クロック生成
- ③ マルチパルス生成

以下に順を追って、それぞれの方式について説明する。

### 2-2 変調画素クロック生成方式

#### 2-2-1 動作原理

Fig.1に変調クロックの動作概念図を示す。上から、画素クロックの位相補正前の画素イメージ、および画素クロック波形、画素クロックの位相補正（変調）後における変調画素クロック波形、および画素イメージを表している。本来、複雑に画素クロック若しくは画素が同じ形状でない場合を補正

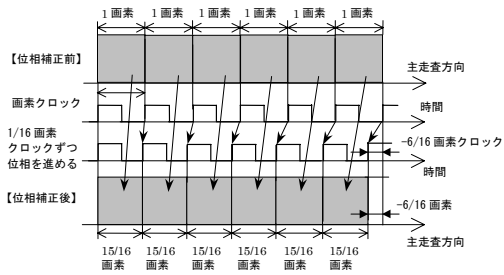


Fig.1 Principle of pixel clock modulation.

して、正しい周期の画素クロック、および画素イメージを作成する訳であるが、図、および説明が煩雑になるため、Fig.1では、補正（変調）前の画素クロック、および画素イメージは均一であるとした。例えば、画素クロックを補正（変調）前の画素クロックの1/16画素クロックずつ短く（周波数的には高く）変調した場合、図に示すように、1画素のサイズは変調前に比べて15/16のサイズとなる。同様に6画素連続して画素クロックを変調した場合、6画素合わせて合計6/16画素分書き込み幅を短くする事が可能である。

Fig.2に、1ライン分画素クロック変調した場合の画素イメージ図を表す。有効走査期間である書き込み幅において、例えばレーザ走査光学系のリニアリティ変動により、主走査ビームスポットの位置ずれが発生する場合を考える。この場合、本来等間隔であるべき画素は図に○点で示すように、疎密を生じ位置ずれをおこす。しかしながら、このように予め判っている位置ずれに対しては、それに対応する位置の補正データを用意して、その補正データに従いクロック変調を行う事により、図下に示すように、位置ずれがほとんどなく、画素が均等に並ぶように補正する事が可能である。また、温度等による位置ずれの場合には、位置ずれ検知用センサーを用意して、フィードバック制御系を構成すれば、位置補正が可能となる。

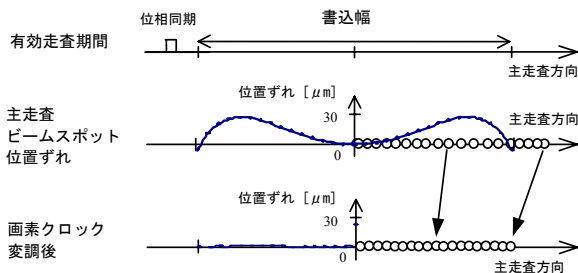


Fig.2 Image of pixel clock modulation.

## 2-2-2 構成例

Fig.3に変調画素クロック生成の構成を、またFig.4にタイムチャートを示す。入力は、高周波クロックと、画素クロックに基づいて補正データ（変調データ）が制御信号生成部に入力され、タイムチャートに示す制御信号を生成する。この制御信号に基づいて、例えばJK-FF（JK-Flip Flop）を使いトリグルさせることにより変調画素クロックを生成している。そして、補正データに従って制御信号を出力するタイミングを変えることにより画素クロックの周期を1クロック毎に変えることができる。図中、補正データが+1の時は画素クロックを伸ばし（周波数を低下させる）、-1の時は画素クロックを縮める（周波数を高くする）事としている。

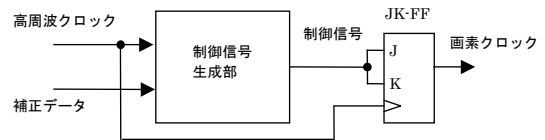


Fig.3 Block diagram of pixel clock modulation.

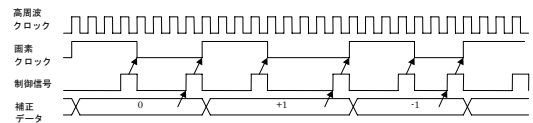


Fig.4 Timing chart of pixel clock modulation.

## 2-2-3 実験結果

クロック変調機能を確認するため、実際にTEG（Test Element Group）を作製し、評価した結果をFig.5に示す。図では、画素クロックが100MHzの場合に、画素クロックが変調された波形を示す。変調する時間は画素クロックの1/16ステップ、また、ステップ幅は最大+3/16～-3/16である。

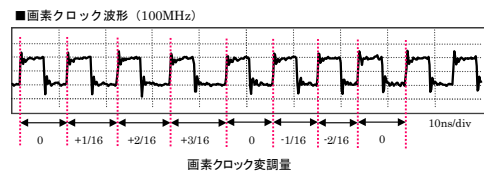


Fig.5 Experimental result of the pixel clock wave.

図下に、何も変調しない場合の画素クロック幅を16/16

(=10ns)として、そこからの変調量を示す。0とは、何も変調しない場合であり、例えば-1/16とは、 $16/16-1/16=15/16$  (=9.375ns)の画素クロック幅に変調された事を表している。この波形を見ると、1画素毎に画素クロックの時間幅(周波数)が補正データに従い変調されている事が判る。

また、Fig.6に、Fig.5で示した画素クロック変調の時間精度を表す、画素クロック変調量と画素クロック幅の関係を示す。画素クロックが100MHzと高速でかつ変調時間幅が1ステップあたり625psと高速であるにも関わらず、ほぼ理論値通りの結果が得られており、非常に高精度に画素クロック変調を実現できた。

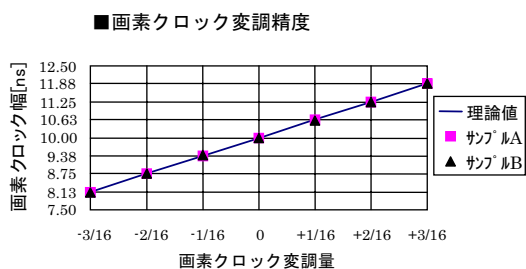


Fig.6 Accuracy of pixel clock modulation.

## 2-3 マルチ高周波クロック生成方式

### 2-3-1 動作原理

上述のように高速のデジタル変調を実現するためには、本来極めて高い周波数が必要となる。例えば、画素クロック変調の1ステップを100psと仮定すると、高周波クロックとしては10GHzが必要となる。しかしながら、現在CMOSで広く利用されている微細な0.13 $\mu$ mルールのデバイスプロセスを用いても、なかなか10GHzの高周波クロックを生成する事は困難である。このため、出来る限り低い周波数で高周波クロックと等価な構成を実現できるかを検討した。今回、我々はその構成として、Fig.7に示すマルチ高周波クロック生成方式を採用した。本方式自体は古くから知られている方式であり、例えばFig.7に示すように、位相の90度ずつ異なるクロックを4つ用いる事により、高周波クロックの周波数を1/4に低下させる、というものである。図中、高周波クロックをVCLK1~4と記載している。

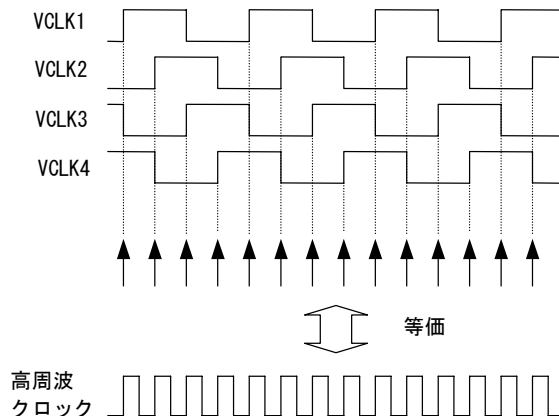


Fig.7 Principle of high frequency clock generation.

### 2-3-2 構成例

マルチ高周波クロック生成部の構成例をFig.8、タイムチャートをFig.9に示す。本構成例は、4段差動リング型のVCO (Voltage Control Oscillator) であり、偶数段で発振器を構成することで、位相の異なる4の倍数の高周波クロックを生成する事が可能である。本構成例では4相クロックの生成例を示しているが、この構成では最大8相クロックまで生成する事が可能である。

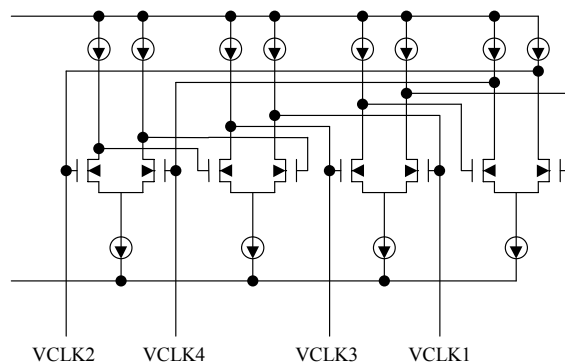


Fig.8 Configuration example of multi-clock generation.

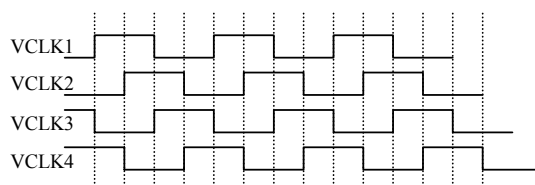


Fig.9 Timing chart of multi-clock.

### 2-3-3 実験結果

マルチ高周波クロック生成の実験結果については、単独の観測が困難なため、2-4-3のマルチパルス方式の実験結果にまとめて示す。

## 2-4 マルチパルス生成方式

### 2-4-1 動作原理

従来、画像で濃淡（階調性）を表す場合、複数画素で表現するディザマトリクス方式や誤差拡散方式などがあるが、本稿では、さらに微細な濃淡を表す方式として、1画素内の濃淡を表す1画素内多階調方式を考える。1画素内多階調方式には、パルス幅変調方式やパワー変調方式、リコーが従来から採用しているパルス幅+パワー変調方式など様々な方式が検討されている。今回、我々は階調性を十分に表現でき、かつ、本稿の課題である主走査方向の画素の位置ずれ、さらには画像処理の自由度まで考慮して、マルチパルス生成方式という概念を提案した。本方式は、基本的に従来のパルス幅変調方式と同様ではあるが、以下の点で異なる。

- ① 1画素内で複数の任意の箇所にもパルスを出力できる
- ② 単なるパルス列であり、自由に異なるパルス列（パルス数）を出力できる

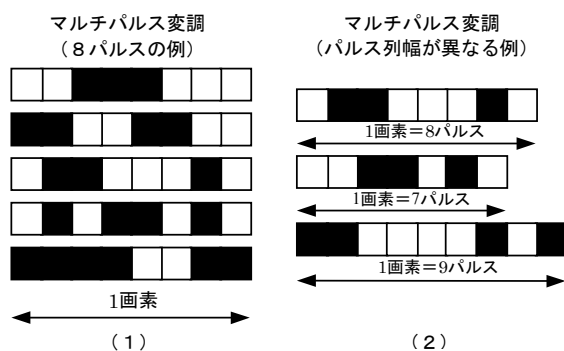


Fig.10 Image of multi-pulse generation.

①の説明図をFig.10(1)に、②の説明図をFig.10(2)に示す。

Fig.10(1)は、1画素のパルス数が8の場合の例を示している。通常のパルス幅変調では、1画素内に出力するパルス幅は1つであり、また画素の左、右、中などのある規定された部分にしか出力する事が出来ない場合が多いが、マルチパルス生成方式では、画素内に複数箇所パルス出力可能であり、画素データによる位置ずれ補正が可能となる。また、Fig.10(1)の例で、上から2番目と4番目のパルス列では、濃度としてはどちらも8値のうちの4値であるが、パルスの構成方法が異なるため露光分布の重なり具合が変化し、実際に画像にした場合濃度が若干異なってくる。この事を利用して、8値以上の階調性を表現する事、高解像度の画像を表現する事、また、さらにパワー変調との組み合わせによりエッジ強調の表現をする事等が可能となる。

Fig.10(2)では、1画素のパルス数がそれぞれ7, 8, 9の場合のパルス列を表している。パルス列は高周波クロックに基づいて生成・出力されるため、パルス列のパルス数は自由に設定が可能であり、前述の変調画素クロックをクロック変調とすれば、本マルチパルス生成方式は画素データに基づくデータ変調が可能である。

### 2-4-2 構成例

マルチパルス生成部の構成例をFig.11に示す。本構成例では、マルチパルス生成部は4段4列のシフトレジスタ、位相調整部、MUX部から構成されている。4列のシフトレジスタは、前述したマルチ高周波クロック生成部で作られた複数の高周波クロックのうち図中VCLK1で示す単一高周波クロックで動作させる。位相調整部でシフトレジスタのデータ出力と複数の高周波クロック（図中VCLK1~4で示す）の位相を調整した後、MUX部でデータを複数の高周波クロックで選択し、1本のデータ列として出力している。この例では、前段のデジタル論理部の構成を容易にするため、複数の高周波クロックを出来る限りデータ出力の最終段でのみ用いる構成を示している。

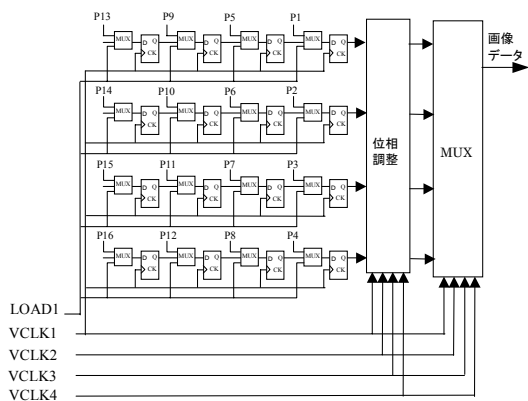


Fig.11 Configuration example of multi-pulse generation.

### 2-4-3 実験結果

マルチパルス生成機能を確認するため、実際にTEG (Test Element Group) を作製し評価した結果をFig.12に示す。本結果は、画素クロック125MHz, 1画素内分割数32値の場合であり、本来いろんなパターンのパルス出力が可能であるが、通常のパルス幅変調との比較のため、パルスを250psずつ順に太らせていくパターンとして、そのリニアリティをグラフに表した。このリニアリティには、前述のマルチ高周波クロック生成部で生成されたマルチ高周波クロックにおけるクロック間の位相精度も含んだ結果となっているが、良好な特性が得られている。

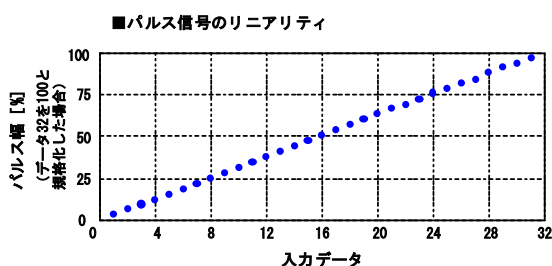


Fig.12 Experimental result of multi-pulse generation.

## 3. まとめ

レーザ走査光学系における主走査方向の画素の位置ずれを電氣的に補正する方式として、

- ① 変調画素クロック生成
- ② マルチ高周波クロック生成
- ③ マルチパルス生成

の3方式を組合せた画素の位置ずれ補正手段を提案し、上記構成を1チップのTEGとして試作、および機能確認を実施し良好な結果を得た。Fig.13に、全体ブロック構成を示す。この事により、主走査方向における画素の位置ずれを電氣的に補正する技術を確認し、従来より約1桁高精度化する事が可能となった。

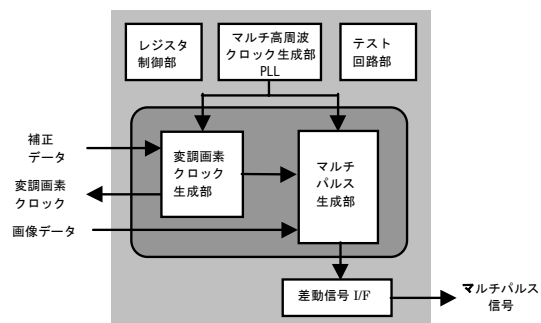


Fig.13 Block diagram of TEG.

## 4. 今後の展開

今後は、さらなる高画質化に向けて、以下の点に関する開発を重点的に実施していく。

- ① 本技術の高機能化・低コスト化
- ② 本技術のシステム内における仕様の最適化
- ③ マルチパルス出力信号の伝送品質向上

## 謝辞

最後に、主走査方向における画素の位置ずれを電氣的に補正する方式を開発するにあたり、関連する多くの方々に御指導、御支援を頂戴しました事を心より感謝いたします。