

---

# ディープサブミクロンデバイス不良解析事例

## A Successful Failure Analysis on a Deep Sub-micron Device

山田 吉輝\*      薦田 弘敬\*  
Yoshiteru YAMADA      Hirotaka KOMODA

---

### 要 旨

ディープサブミクロン (0.18 $\mu$ m) CMOSデバイスにおいて、様々な解析技術を組み合わせることにより、不良解析に成功した事例について紹介する。本解析では、多層配線デバイスに対応するため、表面および裏面からの不良箇所特定手法を用いた。不良モードおよび不良位置の推定を行うため、不良箇所特定手法による結果をもとに回路解析を行った。これらの解析結果と回路の関連を述べ、不良メカニズムについて論じる。

### ABSTRACT

Examples of successful failure analysis with combination of several failure analysis techniques on a deep sub-micron (0.18  $\mu$ m) CMOS device are described. We utilized failure isolation techniques from both front and backside to perform failure analysis of the device with multi-level metal layers. With these results of several fault isolation techniques, circuit analysis was performed to presume failure mode and failure location in the circuit. We discuss the fault mechanism, including the relation between the result of these analyses and the failure location in the circuit.

---

\* 電子デバイスC 品質保証部  
Quality Assurance Department, Electronic Devices Company

## 1. 導入

LSIデバイスにおける開発期間の短TAT (Turn Around Time) 化は、市場からの要求に対応するための重要な要素となっている。開発段階において発生する様々な事象に対し、その原因を理解し、適切に対応する必要がある。

特に、開発段階における不良は、製造プロセスや回路設計等の様々な要因が考えられるため、その原因究明のための不良解析が重要な意味を持つ。しかし、近年の画像機器群を支える画像プロセッサなどに代表される微細化および多層配線化が進む業界最先端LSIデバイスにおいて、不良解析は非常に困難なものとなっている。

本不良サンプルは、6層配線構造の0.18 $\mu$ m CMOSデバイスで、評価用TEG (Test Element Group) に搭載されたものである。このTEG内の、ある特定のSRAMのみが機能不良を生じていた。また、電源電圧1.8Vにおける電源電流が、正常デバイスの10 $\mu$ Aと比較し、約5mAと多い状態であった。

最先端デバイスにおいて、正確な不良箇所の特定と不良モードの推定は、解析を成功に導く重要な要素となる。その後続く物理解析では、デバイスへの破壊を伴うことが多いため、元の状態に戻すことが困難である。そのため、確度の高い不良箇所の特定を行うためには、様々な不良箇所特定手法を用い、異なった視点からのデータを得ることが必要となる。

エミッション顕微鏡解析[1]、液晶解析[2]、EB (E-Beam) テスタ解析[3]は不良箇所特定手法として、幅広く使われている。表面からのエミッション顕微鏡解析と液晶解析は、準備時間が短いことと非破壊であることから、故障解析の初期段階において多く使用されている。

近年のメタル配線層の増加により、表面からの解析手法のみでは不良箇所の特定が困難である[4]。多層配線デバイスにおいて、エミッション顕微鏡解析の様な発光解析は、上層の配線により遮光されることが多い。上層配線により発光の一部あるいは全てが遮られることにより、発光箇所について誤った情報を提供することとなる。誤情報は、不良メカニズムの推定において、間違った結論を導く結果となる。

近年の多層配線化による影響を回避し、発光を検出するために、裏面からの不良箇所特定手法[5]が用いられている。裏面からの解析とは、シリコン基板を透過する赤外光を利用

して、シリコン基板側から行うものである。しかし、シリコン基板による光の吸収が、デバイス像およびエミッション発光に対し、大きな影響を与える。

光の透過率は、シリコン基板内の不純物の濃度が多くなると減少し、これは一般に「シリコンフィルター効果」と呼ばれている。この効果を防ぐため、機械研磨によりシリコン基板を薄くすることが一般的に行われている[6]。

デバイスの不良状態を調べるため、表面からのエミッション顕微鏡解析、液晶解析、および、裏面からのOBIC (Optical Beam Induced Current) [7]、OBIRCH (Optical Beam Induced Resistance CHange) [8]解析を行った。これらの結果から不良モードを推定したが、不良が推定される範囲は、約2mmの広範囲であった。その後、不良箇所の絞込みと不良モードの検証のため、FIB (Focused Ion Beam) 加工を併用したEBテスタ解析を行った。これらの結果から、物理解析を成功させるために十分な範囲に、推定不良箇所を絞り込むことができた。

## 2. 不良箇所特定手法

### 2-1 表面からの不良箇所特定手法

エミッション顕微鏡解析と液晶解析を表面からの不良箇所特定手法として用いた。

エミッション顕微鏡解析は、浜松ホトニクス社Phemos200を用いて行った。電源電圧にはV<sub>dd</sub>=2.0Vを与え、全ての入力端子に適切な電圧値を印加した。Fig.1にエミッション顕微鏡解析の結果を示す。

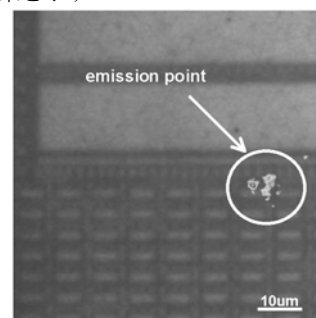


Fig.1 Emission image.

その後、同じ電圧印加条件で液晶解析を行った。液晶解析のホットスポットは、エミッション解析とほぼ同じ位置に

存在した。

## 2-2 裏面からの不良箇所特定手法

裏面からの不良箇所特定手法として、OBICおよびOBIRCH解析を行った。それぞれの解析は、波長1083nmと1360nmのレーザー光を用い、JEOLのJBS-1181を使用した。電圧印加条件は、表面からの解析と同じV<sub>dd</sub>=2.0Vである。

本不良サンプルは、400um厚の高不純物濃度 $1 \times 10^{19}/\text{cm}^3$ のP型シリコン基板を用いている。このシリコン基板を約100umまで薄膜化し、裏面を鏡面状態に仕上げた。しかし、裏面エミッション顕微鏡解析では、エミッション発光を検出することができなかった。その後、裏面からのOBICとOBIRCHを実施した。

OBICとOBIRCH解析の画像を、それぞれFig.2とFig.3に示す。Fig.3は、OBIRCHスポットを明確に表すために、光学像を含まない像である。OBICスポット1点と、OBIRCHスポット2点を検出した。

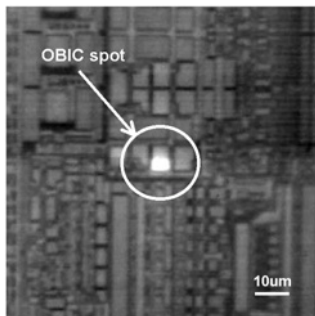


Fig.2 OBIC image with optical image.

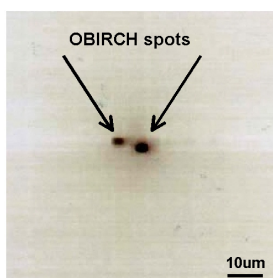


Fig.3 OBIRCH without optical image.

## 3. 不良モード推定と回路図内の不良位置

### 3-1 回路図と不良箇所特定手法による結果

Fig.4は、SRAM内の制御回路の一部である2つの論理反転回路（以下、インバータ）をトランジスタレベルで表記したものである。この制御回路はループバック回路で、電源印加後、論理的に自己リセットする回路である。外部端子から信号を印加することにより、内部ノードを論理的に制御することは不可能であった。

左側のインバータ（以下、INV1）の出力は、右側のインバータ（以下、INV2）の入力に接続されている。INV1とINV2は、隣接して配置されている。これらの2つのインバータは、SRAM内のセルを駆動するため、多くの電流量を得ることのできる、幅が広いトランジスタにより構成されている。

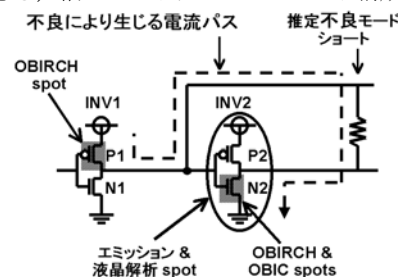


Fig.4 Circuit with the results of fault localization techniques.

エミッション発光箇所と液晶解析によるホットスポットは、Fig.4内に楕円で示すINV2上に位置している。CADレイアウトデータ確認の結果、INV2がエミッション発光および液晶解析のホットスポットの位置に存在し、その上層を多くの配線で覆われていることを確認した。

この様に、多層配線による影響やデバイスの微細化により、不良箇所特定を精度良く行うことが困難となっている。そのため、エミッション発光および液晶解析ホットスポットを、トランジスタレベルであるINV2のpMOS（以下、P2）あるいはnMOS（N2）に特定することはできなかった。

裏面からの解析では、明確な画像を得ることができたため、トランジスタレベルでスポット位置を特定することができた。

INV1のpMOS（P1）とINV2のnMOS（N2）に示す陰影箇所が、OBIRCHスポットの位置を示す。N2トランジスタには、OBICスポットも確認された。

### 3-2 不良モードの推定と位置

これまでに述べた不良箇所特定手法から得られた結果を、すべて説明することができる不良原因を推定した。

我々が推定した不良モードはショートで、それをFig.4内に示す。この推定不良は、INV1の出力と、INV2の出力の短絡を引き起こすものである。INV1の出力はINV2の入力であることから、これらの2つの信号は、常に論理的に反転信号となる。

今回、2つのOBIRCHスポットが検出された。これまでの研究により、OBIRCH手法は不良によるパス、および配線上の異物を検出できることが示されている[9]。

INV1の入力信号が“L”の場合、P1が“ON”し、INV1の出力が“H”となる。この“H”信号は、INV2の入力に接続し、N2が“ON”となる。不良モードであるショートが、2つの“ON”状態のトランジスタを接続させることになる。この2つのトランジスタP1とN2を通し、電源電極（以下、電源）からグラウンド電極（以下、GND）への不良電流パスが生じる。不良電流パスを、Fig.4内に点線で示す。

不良電流パスから、経路上にある2つのOBIRCHスポットを説明することができる。この電流パスは、液晶の相変化により検出できる十分なジュール熱を生じさせると考えられる。

N2トランジスタにおいて、ゲート電極とドレイン電極との電位が近づいていることから、弱飽和状態になっていると考えられる。nMOSトランジスタは、弱飽和状態にある時、エミッション発光が観察されることが知られている[1]。

弱飽和状態にあるMOSトランジスタは、ドレイン空乏層領域において高い電界が生じる。N2トランジスタに注目すると、この電界により他のトランジスタと比べOBIC信号が多く発生すると考えられる。

以上が、推定不良モードと不良箇所特定手法による結果との関連を示したものである。

## 4. 推定不良モードの検証と絞込み

### 4-1 回路図とレイアウト情報

Fig.5に、物理レイアウト情報を含む回路図を示す。INV1とINV2の出力信号は、第3層配線である。これらの配線は約2mmの長さがあり、平行に配置されている。その上、この2配線は電源やGND配線、その他のダミーメタルにより、そのほとんどが覆われている。電源とGNDラインは第5層配線で、Fig.5内に記号により示している。第4層には、その他の

電源とGND配線が配置されている。最上層の第6層配線の大部分は、ダミーメタルが配置されている。

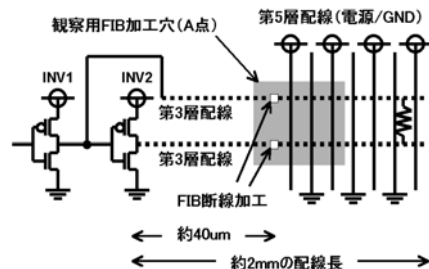


Fig.5 Physical layout information and FIB milling at point A.

### 4-2 FIB装置によるEBテスト観測用穴の作成

推定不良モードを確認するために、電位コントラスト法を用いて、ショートが発生していると推測する2配線の論理状態を解析した。これらの解析には、FIBはSIIのSMI8300、EBテストはSchlumberger社IDS3000を用いた。

電位コントラスト法は、不良解析において幅広く用いられている。本手法は、2次電子像内のコントラストを利用する技術である。2次電子像内で、高電位部分は「暗」、低電位部分は「明」コントラストに表示され、各配線の電位情報を取得することができる。

電位コントラスト像を取得する装置としてEBテストを用いた。同じく電位コントラスト像を取得することが可能な走査電子顕微鏡（SEM）と比較し、EBテストはデバイスに電圧印加することが比較的容易である。また、FIBによる加工技術を、EBテストの観測用穴加工および配線切断加工に用いた。

Fig.6は、今回のFIB加工について断面方向から図示したものである。左右はFig.5と同じく、左側にインバータが位置する。

Fig.5内のA点において、FIBを使用しEBテスト観測用穴を加工した。FIB加工のため、いくつかの電源、GND配線を含む加工用ウインドウを設定した。加工穴の深さが第5層配線まで達した時、第5層に存在する電源およびGND配線を残すために、より小さな加工用ウインドウを設定した。この小さなウインドウは、注目している2配線のみを観測することを可能にするものである。また、小さくすることにより、第4層の電源用配線への、FIB加工による影響を無くしている。

この小さな観測用穴を通し、注目する2配線を観測するこ

とが可能となった。これらのFIB加工は、サンプルの動作に影響を与えない様に行った。

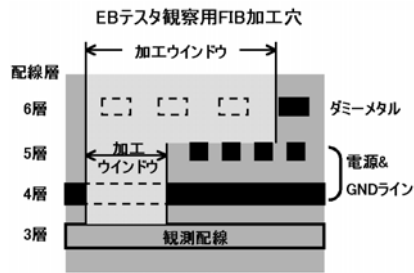


Fig.6 Cross-section view of FIB milling.

CMOSデバイスのロジック部において、内部配線は、論理値である1/0に限定される。その一方、不良等の影響で、中間電位となる配線は、論理1（暗、黒）と論理0（明、白）の中間である灰色に観測される。

今回のショート不良は、論理において常に反転している2配線の短絡を引き起こしている。そのため、これらの配線は中間電位を示す灰色に観測されることが予想される。

低電源電圧化（1.8V）により、各々の配線の電位状態を判定するための電位コントラストを取得することが、困難になりつつある。そのため、上記FIB加工では、参照用として、電源とGND配線からの白黒コントラストを同時に得られるように観測用穴を作成した。

### 4-3 EBテストによる電位コントラスト像

注目する2配線は、電源（黒）とGND（白）配線と比較し、灰色のコントラストを示していた。Fig.7（図キャプション内のVCは、Voltage Contrastの略）に示す。この結果は、上記の推定と合うものであった。

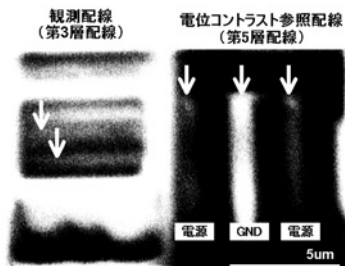


Fig.7 VC image before FIB cut at point A.

さらに推定を検証するため、A点において注目する2配線をFIB切断加工した。A点は、INV2から約40um離れて位置している。回路解析の結果、不良ショート箇所は、この配線長

である約2mmの範囲に位置していると推定した。A点は、INV2に非常に近い位置（約40um）にある（Fig.5参照）。そのため、不良ショート箇所は、A点より右側に位置している可能性が高い。

この推定が正しい場合、A点におけるFIB切断加工は、2つのインバータへのショートの影響を排除すると予想される。その結果、ショートの影響が無くなったA点の左側で、白黒のコントラストが表れることが期待される。

しかし、A点でのFIB切断加工後、電位コントラストの変化が見られなかった（Fig.8）。この結果は、A点の右側にショート箇所が存在しないことを示唆している。

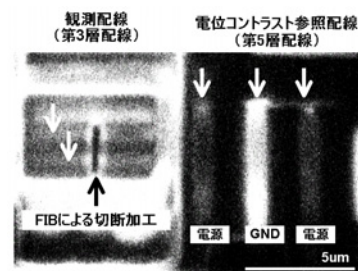


Fig.8 VC image after FIB cut at point A.

Fig.8の結果から、A点の左側、すなわちインバータ側にショート箇所が存在すると推定した。

引き続き不良箇所を絞り込むために、INV2に隣接するB点においてFIB切断加工を行った（Fig.9）。

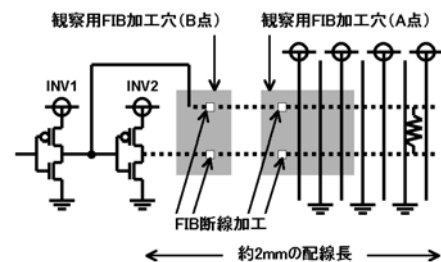


Fig.9 Physical layout information and FIB milling location.

FIB切断加工後、注目する配線のそれぞれにおいて、電位コントラストが明らかに表れた（Fig.10）。この結果は、B点におけるFIB切断加工により、ショートの影響をこの2配線から排除できたことを示唆している。

この結果、推定不良ショート箇所が、A点とB点の間に存在することを確認し、約2mm長の配線から40umの範囲に不良推定箇所を絞り込むことができた。

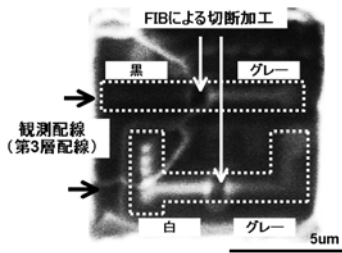


Fig.10 VC image after FIB cut at point B.

## 5. 原因の解明

機械研磨を用い、上層の配線および絶縁膜を除去し、注目する配線を光学顕微鏡観察した (Fig.11) . その結果、ダミーメタルが、信号配線上に配置されることにより、注目する2配線間でショートが起きていることが確認できた。

近年の多層配線プロセスを支える技術として、平坦化を実現するCMP (Chemical Mechanical Polish) 技術が挙げられる。しかし、メタル配線の占有率の違いが、CMP処理後の平坦化形状を左右する要因となる。ダミーメタルは、メタル占有率の低い領域に、信号配線に影響しない様に自動配置されるものである。

Fig.11に矢印で示すダミーメタルは2配線上に存在し、信号間のショートを引き起こしている。この不良は、Fig.9で示したA点とB点の間に位置し、不良箇所を絞り込み、推定した位置と合致している。

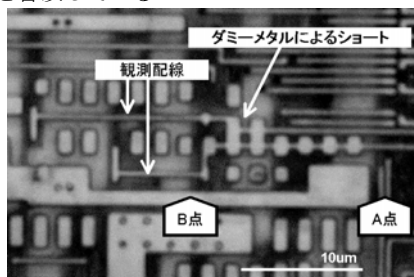


Fig.11 Optical microscope image after mechanical polish.

## 6. 結論

様々な不良箇所特定手法を組み合わせることで成功した、0.18μm CMOSデバイスの解析事例について報告した。

これらの手法は、デバイスの表面 (トランジスタおよび配線層) 側と裏面 (シリコン基板) 側からの解析を組み合わせたものである。表面からは、エミッション顕微鏡解析、液

晶解析、FIB加工を伴うEBテスト解析を使用し、裏面解析として、OBICおよびOBIRCH解析を選択した。

これらの不良箇所特定手法の結果をもとに回路解析を行い、不良モードを2配線間のショートと推定した。その後、FIB加工とEBテストによる電位コントラスト法を用い、不良推定モードを検証するとともに、ショート推定箇所を、長さ約2mmの配線上から、40μmの範囲に絞り込むことができた。最終的に、物理解析により原因を究明することに成功した。

この様に、様々な不良箇所特定手法を組み合わせた解析手法は、微細化および多層配線化の進むLSI不良解析を確実に行う上で、ますます重要になる。

## 謝辞

サンプルの裏面加工およびOBIC、OBIRCH解析を行って頂いたNTTエレクトロニクス株式会社LSI事業本部SAセンタ担当者の皆様にお礼申し上げます。

## 参考文献

- 1) C. F. Hawkins, et al. : Proceedings of ISTFA., (1990), pp.55-67.
- 2) K. A. Cooper and S. J. Schwartz : Proceedings of ISTFA., (1992), pp.219-221.
- 3) E. Wolfgang, et al. : IEEE Trans. Electron Devices ED-26, (1979), pp.549-559
- 4) K. Naitoh, T. Ishii and J.-I. Mitsuhashi : Proceedings of ISTFA., (1997), pp.145-151.
- 5) N. M. Wu, K. Weaver and J. H. Lin : Proceedings of ISTFA., (1996), pp.393-399.
- 6) T. W. Joseph, A. L. Berry and B. Bossmann : Proceedings of ISTFA., (1992), pp.1-7.
- 7) K. S. Wills, et al : Proceedings of ISTFA., (1990), pp.21-26.
- 8) K. Nikawa and S. Tozaki : Proceedings of ISTFA., (1993), pp.303-310.
- 9) K. Nikawa and S. Inoue : Proceedings of IRPS., (1996), pp.346-354.

注) Phemosは、浜松ホトニクス株式会社の商標です。

JEOLは、日本電子株式会社の商標です。

SIIは、セイコーインスツルメンツ株式会社の商標です。

IDSは、Schlumberger社の商標です。