

---

# 半導体における設計とプロセスの相関解析

## A Correlation Analysis of LSI Circuit Design and Process Technology

渡辺 博文\*

Hirobumi WATANABE

---

### 要 旨

LSI設計をする際の異なる2つの技術(設計とプロセス)を繋ぐデザインルール, 特にSPICEパラメータにスポットを当て「設計とプロセスとをもっと太いパイプで結ぶ」ことで効率化を図るために, 量産ラインからのモニタリング技術と, データの統計処理を使った両者の相関解析手法を検討した. プロセスからデザインルールを提供してもらって初めて実際のシリコンチップで動作するICやLSIが設計できるのであるが, そのデザインルールにプロセスの電気特性のすべて(バラツキや寄生素子まで)を現すことは非常に困難である. また, 設計サイドからは改善してほしい電気特性をプロセスに反映し, プロセスでどの工程をどのように管理すれば良いかを明確に知ることが容易でない. 本解析手法が設計とプロセスの相関を明らかにし, 効率的なLSI設計を可能にした.

### ABSTRACT

In order to combine the Design and the Process effectively, a correlation analysis of circuit design and process technology is conducted, by monitoring data from the product line, analyzing data statistically, and converting data into parameters, such as SPICE parameter, for circuit simulation. When a process team provides the design-rule to a circuit design team, the circuit designer can design actual IC's or LSI's that operate perfectly. However, it is impossible to include the crucial information; such as process deviation and the characteristics of parasitic devices, in the design-rule. Also, it is difficult for the process team to identify the process conditions that correlate with the electronic characteristics requested by the circuit designer. Using the system, the rapid response relation between design and process is built up, and contributes to the effective production.

---

\* 電子デバイス事業部 第2製品部  
2nd Business Unit, Electronic Devices Division

## 1. はじめに

半導体産業の発展を支えてきたものは、半導体そのものや配線、層間膜などを構成する材料の材料技術、それを加工するための加工技術、半導体に素子機能を発揮させるデバイス技術、デバイスを利用して集積回路を作る回路技術、回路設計を支えるCAD技術、実装にかかわるパッケージ技術などのさまざまな基盤技術である。

それらの技術を駆使し製品を作り上げる最終ステージでは、技術分野の随分異なる設計技術とプロセス技術が隣り合っただけの作りが行われている。具体的には、ある目的のためにシステム(回路)が設計され、完成された(もしくは完成に近い)プロセスを使って、実際の半導体チップが製造される。例えば、あるプロセスで製造することを想定して設計する場合、そのプロセスがどんな特性を持ったプロセスかを知っておく必要があり、もし不十分な情報で設計すると回路が正常に動作しない場合がある。中でも特にトランジスタのON電流やVthなどは非常に貴重な情報である。しかし、微細化が進み、回路規模が大きくなり、高周波化し、また高精度のアナログが要求されてきた現在、SPICEシミュレータなどのCADで精度の良い回路特性予測のシミュレーションを利用した設計が必須の技術であり、なおさらに高精度が要求されるようになってきた。ここでSPICEシミュレーションで使われるSPICEパラメータはプロセスの仕上がり状態の情報を含みかつ設計者がシミュレーションで扱える、言い方を換えると、設計とプロセスを直接技術的に結ぶという、非常に貴重な存在なのである。

元来、設計とプロセスは緊密に交流が図られていないといけなると考えられてはいるが、あまりに技術内容が異なるためSPICEパラメータ以外に間を取り持つ効果的な手段がほとんど存在していない。そこで、SPICEパラメータとPCMモニタを関連付けたりTCADと組み合わせて統計的に解析して、回路変動の予測に役立てる手法等が報告されている<sup>(1)~(3)</sup>。

本稿では設計とプロセスという分野の大きく異なる2つの技術を、さらに少しでも太いパイプで繋ぐことを目的として、同様にSPICEパラメータの考え方をベースに、量産ラインからのモニタリング技術と、データの統計処理を使った両者の相関解析手法を紹介する。

## 2. 構成と内容

検討内容の全体構成図をFig.1に示した。「設計とプロセスの相関関係が把握できて解析につながるというシステム作りをする」ことを目的として以下の3つを構成の柱とした。すなわち①プロセスからパラメータ群(SPICEパラメータの他、寄生素子の電気特性のパラメータなども含む)を抽出し、②そのデータをさまざまに加工(例えば統計処理)して、プロセスや設計で活用できるようにする、③このデータを媒体として設計とプロセスの相関関係を明確にしてお互いへのフィードバック、フィードフォワードに役立てる。

Fig.1のプロセスとは生産工場(開発も含む)を意味する。プロセスと設計を繋ぐための元になるデータは、工場にある。いわゆるインラインデータである。ところがこれは勿論、設計者がすぐ回路シミュレーションに使えるようなSPICEパラメータになっているわけではない。また、従来はプロセスの工程管理を主目的にしているので設計にとって必要なまたは有意義なパラメータ群が全ては取られていなかった。

では、インラインでどんなデータをどのように取れば良いのか。それは、設計がそこからのデータを使って何がしたいか、プロセスがそれをどのように使うかによるのである。設計サイドがプロセスとのパイプが太くなって期待することは、たとえば、

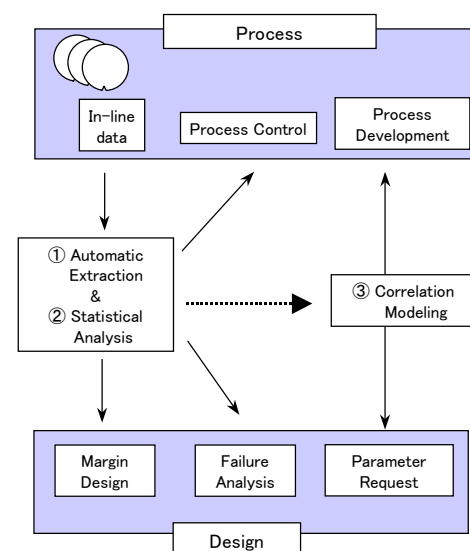


Fig.1 Configuration of the System

- ・プロセスマージンを精度良く把握し設計に反映できる
- ・不良解析に活用できる

などが考えられる。一方、プロセスサイドが設計とのパイプが太くなって期待することは、

- ・設計から具体的な要求項目をもらいプロセスの言葉(工程や条件)に変換して、Fab管理やプロセス開発に役立つ

などである。そのようなことを可能にするためには、設計にとってはそのデータから回路シミュレーションができるSPICEパラメータを抽出できることが重要である。また、トランジスタのみならず回路特性に大きな影響を与えている寄生素子、特に配線等の寄生容量に関するデータも重要なのでこれらもSPICEに反映する方法を取り入れることにした。次に、プロセスにとっては(ここがプロセスと設計をより明確に結ぶキーポイントになるのであるが)抽出したデータ(パラメータ)と工程との相関関係を明確にすることが重要となる。明確な相関関係が、設計から出た要求パラメータを工程条件等に変換できる。

以上のことを考慮してデータの収集を行い、そのデータを加工する。次にまず、データの収集方法について述べる。

## 2-1 プロセスデータの収集方法(インライン自動抽出法)

生産ラインからインラインでデータを取る、即ち自動計測を行うためには、モニターの省面積化、測定器の制限、測定時間の短縮などをクリアしなければならない。また、それらのデータからSPICEで使えるパラメータに変換するためには自動抽出も必要である。データにはDC的データ、AC的データ、トポロジカルデータなどがあるが、今回、全て自動I-V測定を基本とし、計算で換算して自動抽出後、パラメータのデータベース化する手法を検討した。Fig.2にデータフローを示す。

まずトランジスタ関連のパラメータについて述べる。MOSトランジスタのSPICEパラメータには、DCパラメータとACパラメータとトポロジカルがある。以下、DCパラメータとACパラメータについて詳しく述べる。

DCパラメータは、いくつかのトランジスタのI-V特性から求められる。SPICEモデルは物理現象を解析的なモデル式で表しているの、モデルで使われているパラメータは物理的

な意味を持ったものが多い。すなわち、パラメータはプロセスの情報を反映したパラメータである。

例えばBSIM3の場合、パラメータは60個程度あるので全てのパラメータを抽出するためにはCADツールの助けを借りて、かつ周到に考えられた手順ののっとり行う必要がある。ここで、IdsやRoutのあわせ込みを優先しすぎると電気特性の精度は上がるが、パラメータの物理的意味が低下する、いわゆるオプティマイズパラメータとなってしまう。プロセスの情報を正確に吸い上げるには、パラメータとプロセスの対応を崩さない物理的意味を考慮した一意的抽出が適している。工程条件とパラメータ間の相関解析をする場合はこの一意的抽出パラメータを使う。しかし、回路特性を精度良く見積もりたい場合は、オプティマイズをしたパラメータを使う方がよい。どう使うかで使い分ける必要がある。

ACパラメータは通常DCパラメータとは測定方法も抽出方法も異なり独立したパラメータ抽出がなされる。従来これをインラインで取るのはなかなか困難であった。今回、C.Huらの提案したCBCM法<sup>(4)~(6)</sup>をインラインモニターの中に埋め込み、トランジスタのゲート容量のC-Vやソース、ドレインのジャンクション容量のC-Vを測定を試みた。CBCM法は非常に小面積ながらI-V測定だけで容量値を抽出できる。インラインモニタリングにも適した方法であり、良好なC-V特性を

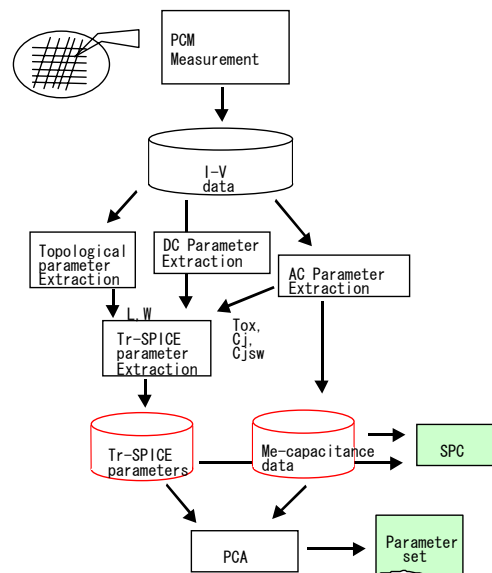
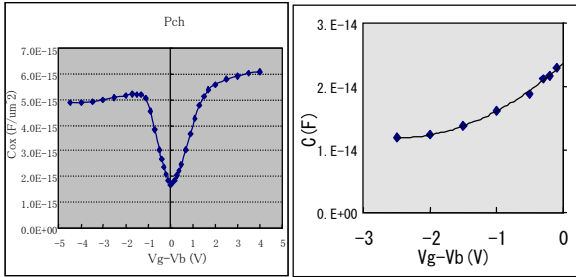


Fig.2 Data Flow



(a) (b)  
Fig.3 C-V Characteristics

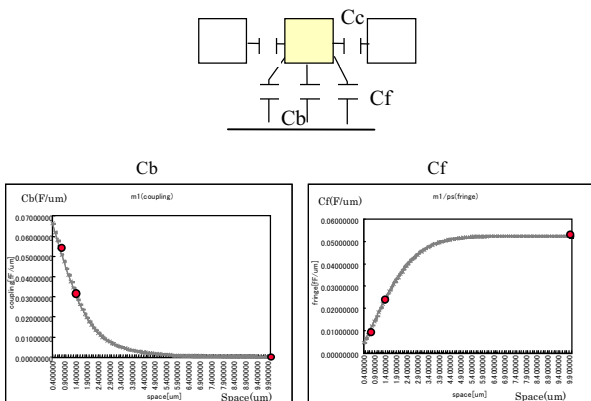


Fig.4 Metal Capacitance

得ることができた。(Fig.3)この結果からACパラメータを抽出した。

測定時間は、現実的にデータを取る上で非常に重要な要素である。トランジスタの数やデータの補間点数を見なおして自動抽出でも精度に影響を与えない必要最低限とした。

次に配線関連の寄生容量について述べる。測定方法はトランジスタのACパラメータ測定と同じCBCM法を用いた。容量成分をボトム容量、フリンジ容量、カップリング容量に分解して抽出した。そのうち隣接する配線の影響を受けるフリンジ容量、カップリング容量についてはspace依存のモデルを作りパラメータ抽出した(Fig.4)。これらの値は、後で述べるポストレイアウトシミュレーション(Fig.5)の中に組み込まれ、配線の寄生容量を考慮した高精度シミュレーションに貢献する。なお、これらの容量パラメータには層間膜厚、メタル幅、メタル膜厚(高さ)などのプロセス情報が含まれるので工程管理にも活用できる。

## 2-2 設計のためのデータ加工と利用法

前述したように、設計では以下の2点の利用が考えられる。

- ・プロセスマージンを精度良く把握し設計に反映する
- ・不良解析に活用する

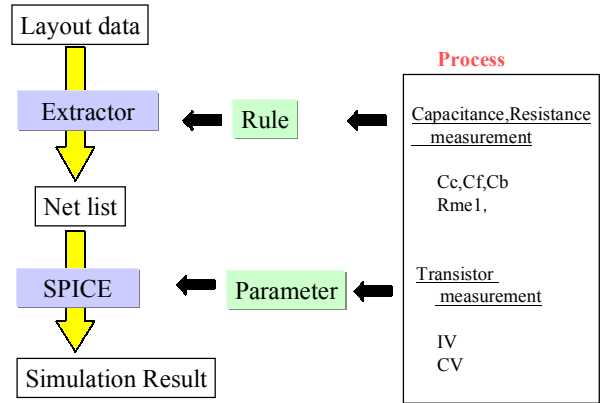


Fig.5 Post-layout Simulation

上記の方法で蓄積されたパラメータ群は工場からの生のデータであり、それがSPICEシミュレーションに親和性のよい形になっているが、膨大なデータなのでそのままでは上記解析には使用できない。そこで、パラメータのデータベースから多変量解析法を用いてSPICEのコーナーモデルを作成し、このパラメータセットを使うことで解析が容易となる。

以前よりトランジスタのパラメータについては、実測だけでなくTCADを利用したコーナーモデルの検討もある<sup>(3)</sup>。しかし、回路に大きく影響を与える配線の寄生容量などのコーナーモデルについての検討は十分されていない。特にディープサブミクロンプロセスにおける配線系の影響は非常に大きいので今後は必須であろう。上記のインライン測定のデータベースを構築することでそれも可能となる。

さて、今回の自動抽出のパラメータセットを使って実際にいくつかの回路のSPICEシミュレーションを行い、どの程度の精度が保証されるかの検討も行った。方法はFig.5に示すレイアウトからのSPICEネット抽出とSPICE回路シミュレーションを組み合わせたポストレイアウトシミュレーションでの計算結果と実測の結果との比較で行った。パラメータは評価用の回路を搭載したウエハから自動抽出した。回路はリングオシレータ、スキュー評価回路、クロストーク評価回路の3つである。Fig.6に示す通り概ね良い一致が得られた。

以上のことより、工場バラツキデータを反映したパラメータセットを使って寄生容量まで考慮したポストレイアウトシミュレーション手法を使えば高精度に回路解析ができることが分かった。マージン設計や、不良解析には非常に有効である。

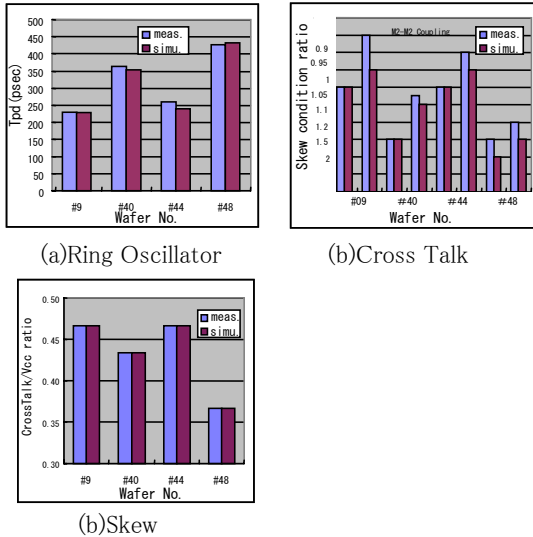


Fig.6 Accuracy of Postlayout Simulation

次に設計からプロセスへの要求項目の提示は、同様にコーナーモデルのパラメータセットを使った解析で可能になる。例えば、コーナーモデルのパラメータを因子として直交表に割り付け、ある回路のシミュレーション実験結果を解析することで、特定の回路特性を決定付けているパラメータが明らかになり、目標値も定量化できる。

### 2-3 プロセスのためのデータ加工と利用法

プロセスでは以下の利用が期待される。

- 設計からの具体的な要求項目をプロセスの言葉(工程や条件)に変換して、Fab管理やプロセス開発に役立てる

そのためには、(設計から戻ってくる)パラメータとプロセスの工程条件との対応が明確になっていないとならない。

そこで、前準備として工程条件とパラメータの相関解析(重回帰分析)を行った。16個のプロセス工程(拡散からメタルまで回路特性に影響があるであろう工程をピックアップして)を因子として直交表(L27)に割り付けて実験ロットを流した。全てのウエハから上述インライン自動抽出法によってトランジスタのパラメータ、寄生容量関連のパラメータを抽出

した後、各パラメータと条件を振った工程との間で重回帰分析を行った。Fig7に相関関係の因果図を示す。各パラメータは寄与率の高い工程で表される1次の重回帰モデルとして表現できる。類似なことはシミュレーション実験でも可能である。試作を流して実験ができない場合や、実験では条件が振ることができない工程を見る場合には非常に有効である。

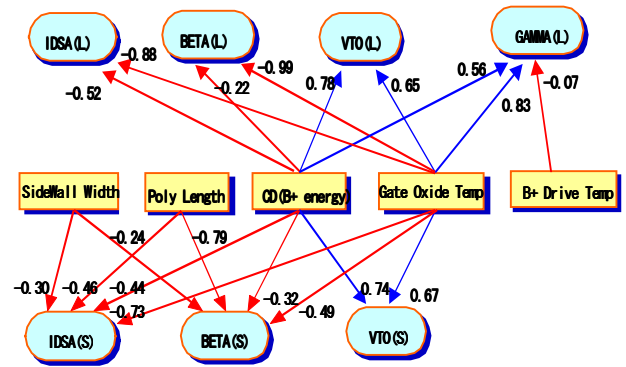


Fig.7 Causal Link

①Relation Formulation : Parameter & Process

$$Vt0L(P) = 4.42 - 0.00456 \times (\text{Gate Oxide Temp}) + 0.0193 \times (\text{Channel Dope Energy}) - 0.00306 \times (\text{P-deposition Temp})$$

	contributing ratio
Gate Oxide Temp	-0.52
Channel Dope Energy	0.76
P-deposition Temp	-0.34

②Parameter Request from Design

ex)  $\Delta V_{th} = \pm 50\text{mV}$

③Desitarization of Process Control Factor

Gate Oxide Temp	$\Rightarrow 3.5^\circ\text{C}$	equivalent of Control
Channel Dope Energy	$\Rightarrow 1.2\text{KeV}$	equivalent of Control
P-deposition Temp	$\Rightarrow 3.4^\circ\text{C}$	equivalent of Control

Fig.8 Example of Process Control

設計から具体的な要望が出てきたとき、重回帰モデルを利用して管理すべき工程の項目と具体的目標値を算出する。これで、工程管理を行う。場合によってはプロセス開発を含む工程改善となる。Fig.8に例を示した。

## 3. まとめ

表題で「設計とプロセスの相関解析」と書いたが、以上述べてきたように、この二つを直接結び付けて解析するのは

なく、間に工場のインラインモニタのI-Vデータから抽出したパラメータ群をおき、パラメータと設計、パラメータとプロセスとの間を多変量解析で相関解析してきた。その結果、全体として設計とプロセスの相関関係が明確になってくる。パラメータ群が「設計とプロセスとを結ぶ太いパイプ」の役割を果たすのである。全体システムとしては規模が大きいので実用法としては、個別に独立して活用しても有意義である。

## 謝辞

重回帰分析等の統計解析に関してご協力頂きました、リコーCS・品質本部の廣野氏、門田氏に心から感謝致します。

## 参考文献

- 1) D.Auvergne et.al., “A statistical method for the analysis of CMOS process fluctuation on dynamic performance”, IEEE 1997 Int.Conf.on Microelectronics Test Structures,vol 10,March 1997,p.137
- 2) 安田, 他「多変量解析を用いたWorst Case MOSFET Model Parameter決定手法の開発」電子情報通信学会 信学技報SDM96-122,p.27
- 3) 執行, 他「TCADを用いたMOSFETの感度・統計解析」電子情報通信学会 信学技報VLD97-53,p.63
- 4) Chenming Hu et.al., “An On-Chip, Attofarad Interconnect Charge-Based Capacitance Measurement(CBCM) Technique”, IEEE Tech.Digest International Electron Devices Meeting, 1996-69
- 5) Chenming Hu et.al., “An On-Chip, Interconnect capacitance Characterization Method with Sub-Femto-Farad Resolution”, IEEE 1997 Int.Conf.on Microelectronics Test Structures,vol 10,March 1997,p.77
- 6) Chenming Hu et.al., “Investigation of Interconnect Capacitance Characterization using Charge-Based Capacitance Measurement (CBCM) Technique and 3-D Simulation”, IEEE CICC 1997,p.491

