
SIMSプロファイル補正方法の提案とSi-SiO₂界面の ボロンパイルアップの解析

New Correction Method for SIMS Profile and Analysis of Boron Pile-up
at the Si-SiO₂ Interface

兵頭 敏宏* 吉田 典生* 渡辺 博文**

Toshihiro HYODO Norio YOSHIDA Hirobumi WATANABE

要 旨

MOSトランジスタの V_{th} の予測にはプロセスシミュレータによるチャネル部の不純物分布の正確な計算が不可欠である。しかしながら、シミュレータの測定値への合わせ込みは容易ではない。なぜなら、現在最も高精度な不純物測定法であるSIMSでさえ、深さ及び濃度誤差がそれぞれ $\pm 10\%$ 及び $\pm 15\%$ もあり、その上、表面近傍の測定結果には信頼性が無いからである。そこで、SIMSプロファイル補正方法を提案する。また、この補正方法をSi-SiO₂（シリコン/シリコン酸化膜）界面のシリコン側に存在するボロンパイルアップ層の解析に適用した結果を報告する。

ABSTRACT

An accurate channel doping profile calculated by a process simulator is essential to the prediction of MOSFET threshold voltage. However it can not be easily calibrated to measurements, since SIMS which is believed to be the most accurate profiling technique at present, has $\pm 10\%$ error on the depth scale, $\pm 15\%$ on the concentration scale. Moreover measured concentrations in the near-surface region is not reliable. The correction method for SIMS profile is proposed and applied to the analysis of the boron pile-up layer situated on the Si side of the Si-SiO₂ interface.

* 電子デバイス事業部 LSI技術研究所
LSI R&D Center, Electronic Devices Division

** 研究開発本部 応用電子研究所
General Electronics R&D Center,
Research and Development Group

1. 背景と目的

半導体技術において新規デバイス開発戦略の補助、開発期間短縮のために、プロセス、デバイスシミュレータは必要不可欠なツールとなっている。ここで、プロセスシミュレータとは半導体の製造条件をもとにデバイスの加工形状やデバイス内の不純物分布を計算するものである。一方、デバイスシミュレータは任意の不純物分布データあるいはプロセスシミュレータの結果をもとにデバイスの電気特性を計算するものである。通常プロセスシミュレータとデバイスシミュレータをつなげてプロセス・デバイス一貫シミュレーションを行い、デバイスの製造条件から電気特性を予測することが多い。リコーにおいても高精度な2次元プロセス、デバイスシミュレータを導入し、リコーのFABに対して合わせ込みを行い、プロセス・デバイス開発に大いに利用している。

しかしながら、世間一般に言われるようにプロセス・デバイス一貫シミュレーションの汎用性はまだ十分ではなく、新規デバイスの特性を予測するのが困難な状況にある。これは、現在プロセスシミュレータで使用されているモデルのほとんどが実験データから抽出された現象論的モデルであることに起因する。プロセスシミュレータのモデルが現象論モデルから脱皮できない背景には、物理的なモデルを構築するために必要な物理量を測定する技術が確立されていないことがある。

例えば、長チャンネルMOSトランジスタのしきい値電圧 V_{th} を予測することは、プロセス・デバイス一貫シミュレーションの最も基本的な利用法であるが、シミュレーションするプロセスが合わせ込みを行ったプロセスと異なるとシミュレーション精度が保証できない場合が多い。これは、長チャンネルMOSトランジスタの V_{th} を決定するチャンネル領域の不純物分布(チャンネルプロファイル)のプロセス条件依存が実際と合っていないためと考えられる。この問題を解決するためには、正確なチャンネルプロファイルをもとにプロセスシミュレータのモデル改良を行っていく必要がある。しかしながら、現在最も正確と言われている不純物分布測定法であるSIMS (Secondary Ion Mass Spectroscopy)にしても、深さ及び濃度に対する誤差がそれぞれ $\pm 10\%$ 及び $\pm 15\%$ もある¹⁾。その上、 V_{th} に大きく寄与する最表面付近におけるSIMS測定結果は信頼できない²⁾。そこで、本稿ではモデル改良に必要である正確なチャンネルプロファイルを得るための手法として2次元プロセス、デバイスシミュレーションを利用したSIMSプロファイル補正方法を提案する。また、補正後のSIMSプロファイルを使用して、最表面付近のチャンネルプロファイルについて解析した結果を報告する。

2. 技術

2-1 MOSトランジスタ作製及び測定

Table1に示す条件にて4種類のnチャンネルMOSトランジスタを作製した。

Table 1. Process conditions

サンプル名	チャンネルドーブ	ゲート酸化
type A	B : 50keV, $5 \times 10^{12} \text{cm}^{-2}$	850°C, 11. 1nm
type B	B : 50keV, $5 \times 10^{11} \text{cm}^{-2}$	850°C, 11. 3nm
type C	B : 50keV, $5 \times 10^{12} \text{cm}^{-2}$	850°C, 18. 6nm
type D	B : 50keV, $5 \times 10^{12} \text{cm}^{-2}$	920°C, 11. 0nm

各MOSトランジスタのチャンネルプロファイルを得るために、同一シリコンウエハ上に形成された大面積のMOS容量パターン(面積 0.2275cm^2)を用いてSIMS分析を実施した。

ここで、シリコンウエハ上に形成されたポリシリコン、シリコン酸化膜等を除去するために、分析前にフッ酸処理及び超音波洗浄によって、シリコンウエハ剥き出しの状態にした。さらに、分析中に酸素ガス導入を行い、分析初期からイオンイールドを安定させた²⁾。これらの処理により最表面付近のSIMS分析精度をできるだけ向上させている。

次に各MOSトランジスタの V_{th} を測定した。測定には、ゲート幅/ゲート長=25 μm /25 μm の長チャンネルMOSトランジスタを使用し、ドレインバイアス $V_D = 0.1 \text{V}$ 、ソースバイアス $V_S = 0 \text{V}$ で固定し、基板バイアス V_B を0から-10Vまで-2Vステップで変化させながら各基板バイアスにおける V_{th} を求めた。また同一シリコンウエハ上のMOS容量パターンを用いてゲート酸化膜容量を測定し、各MOSトランジスタのゲート酸化膜厚を換算して求めた (Table1参照)。容量測定時の周波数は1MHzである。

2-2 SIMSプロファイル補正方法

長チャンネルMOSトランジスタの V_{th} は式(1)のように書き表される。

$$V_{th} = V_{FB} + 2\phi_F + \frac{(2\epsilon_s \epsilon_0 q N_A)^{1/2}}{C_{OX}} (V_B + 2\phi_F)^{1/2} \dots \dots (1)$$

$$V_{FB} = \phi_{MS} - \frac{Q_{OX}}{C_{OX}} \dots \dots (2)$$

ここで、 ϕ_F 、 ϕ_0 、 ϵ_s 、 N_A 、 C_{OX} 、 ϕ_{MS} 、 Q_{OX} はそれぞれフェルミポテンシャル、真空の誘電率、シリコンの比誘電率、シリコンウエハ中の不純物濃度、酸化膜容量、仕事関数差、酸化膜中の電荷である。式(1)から V_{th} の基板バイアス依存とシリコンウエハ中の不純物濃度、即ちチャンネルプロファイルが密接な関係にあることが分かる。本研究では、この関係を利用し、SIMSプロファイルの補正方法を提案した。以降ではtype AのMOSトランジスタを例に用いて説明する。

2-2-1 初期SIMSプロファイル作成

2-1節で得られたSIMSプロファイルに次の(a),(b)の修正を施す。(a) Fig.1にtypeAのSIMSプロファイルを示す(実線)。ここで、正確なデバイスシミュレーションが行えるようにSIMS分析データがない領域には、シリコンウエハの基板濃度 $7 \times 10^{14} \text{cm}^{-3}$ を追加した(破線)。

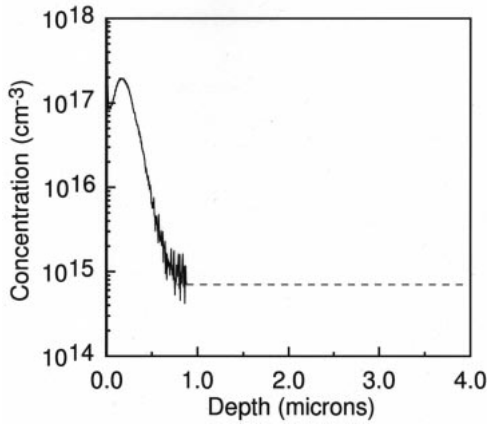


Fig.1 Boron profiles in the channel region of type A MOSFET's. Solid line denotes the experimental profile measured by SIMS and dashed line denotes the artificially modified SIMS profile.

(b) Fig.2にFig.1の表面付近の拡大図を示す。最表面にボロンプロファイルのピークが見えるが(実線)、これはSIMS分析時の汚染及びSIMSのプロードニング効果³⁾によるものと考えられる。このため、最表面での実際のチャンネルプロファイルは、このピークに隠れてしまい、はっきりと分からない。そこで、Fig. 2に破線で示すように表面付近でボロン濃度が最小となる位置から最表面まで平坦なプロファイルを仮定した。最表面の詳細な検討は2-3節にて行う。

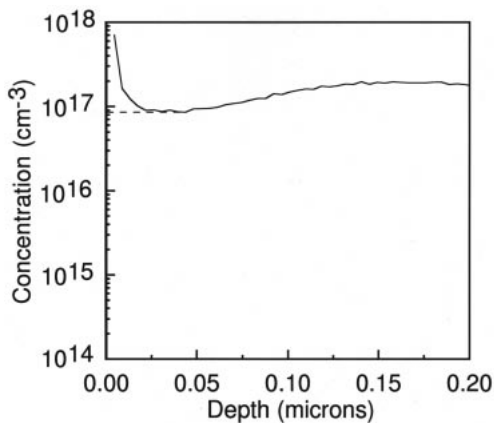


Fig.2 Boron profiles in the channel region of type A MOSFET's. Solid line denotes the experimental profile measured by SIMS and dashed line denotes the artificially modified SIMS profile.

2-2-2 2次元不純物分布データ作成

2-2-1で得られた初期SIMSプロファイルと2次元プロセスシミュレータによる2次元ソース・ドレイン不純物分布を重ね合わせて、2次元デバイスシミュレーションに必要な2次元不純物分布データを作成した。ここで、2次元プロセスシミュレーションではゲート酸化工程以降のプロセスを計算した。また、ゲート酸化膜厚は2-1節で求めた値を使用した。

2-2-3 2次元デバイスシミュレーション

Fig.3に実測とシミュレーションによる V_{th} の基板バイアス依存の比較を示す。

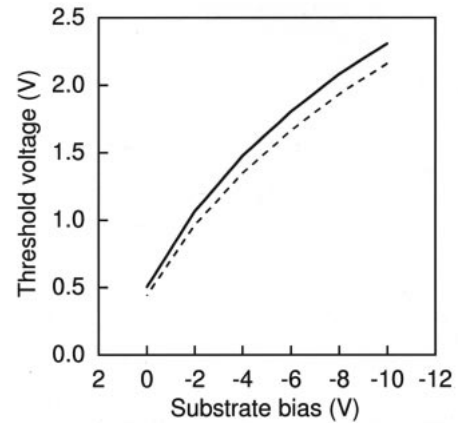


Fig.3 The body effect for type A MOSFET's. Solid line denotes the experimental data and dashed line denotes the simulated results with the artificially modified SIMS profile.

ここで、シミュレーションは初期SIMSプロファイルを使用した結果である。2次元デバイスシミュレーション時のゲート電極(N+ポリシリコン)の仕事関数値としては4.17Vを使用した。この値は別途、仕事関数測定用にMOSTランジスタを作製し、 V_{th} とゲート酸化膜厚の関係⁴⁾を利用して求めた実測値である。その他、解析を簡単にするために2次元デバイスシミュレーション時の酸化膜中の電荷密度 Q_{ox}/q を0としている。Fig. 3から実測とシミュレーションの基板バイアス依存が合っていないことが分かる。式(1)に示されるように V_{th} の基板バイアス依存はチャンネルプロファイルにより決まるので、Fig.3から初期SIMSプロファイルが実際のチャンネルプロファイルと異なっており、補正が必要であることが分かる。

2-2-4 SIMSプロファイル補正フロー

SIMSプロファイルの補正フローをFig.4を用いて説明する。まず、初期SIMSプロファイルの濃度及び深さに対して補正係数をかける(S1)。今回実施したSIMS分析の濃度誤差が $\pm 15\%$ 以内であることを考慮して、濃度の補正係数を0.85から1.15の範囲で変化させる。また、深さ誤差が $\pm 10\%$ 以内であることより、深さの補正係数

を0.9から1.1の範囲で変化させる．次に補正後のSIMSプロファイルを深さに対して積分することでシリコンウエハ中のボロン総量Sを計算し、この値がチャンネルドープ量とシリコンウエハの基板濃度の和Dを越えていないかどうかを調べる (S2)．SがDを越えた場合は、物理的に矛盾するのでS1にもどって、補正係数をかけ直す．SがDを越えない場合は2-2-2節のように2次元不純物分布データを作成し (S3)、 V_{th} の基板バイアス依存性を計算する (S4)．次に、実測とシミュレーションの誤差を調べ (S5)、その誤差fがあらかじめ設定した許容範囲に入っていないならば、S1にもどり、補正をやり直す．今回の研究では、 $f < 0.005$ とし、次のように計算した．まず、実測及びシミュレーションそれぞれに対して、基板バイアスを印加したことによる V_{th} の変化量 d_i を求め (式 (3))、次に各基板バイアスにおける実測とシミュレーションの d_i の差 e_i を求め (式 (4))、その絶対値の平均値をfとした (式 (5))．

$$d_i = V_{i+1} - V_i \dots (3)$$

$$e_i = d_{i, Simulated} - d_{i, Measured} \dots (4)$$

$$f = \frac{\sum_{i=1}^5 |e_i|}{5} \dots (5)$$

ここで、 V_i は $V_b = 2(i-1)V$ 時の V_{th} である ($i = 1, 2, \dots, 5$)．

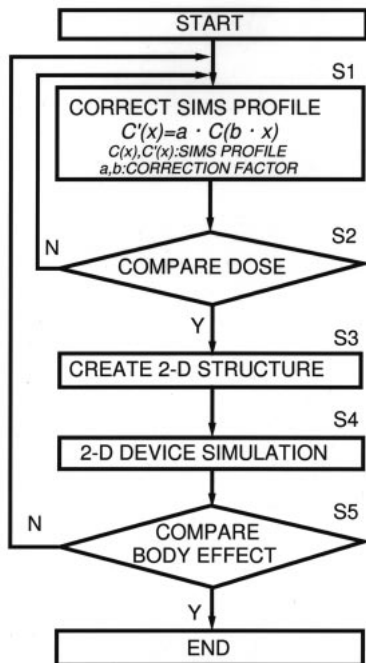


Fig.4 Flow chart of the SIMS correction

Fig.5に補正後のSIMSプロファイルを示す (破線)．濃度及び深さの補正係数はそれぞれ1.10及び0.90である．

補正後のSIMSプロファイルを使用した場合の V_{th} の基板バイアス依存性の比較をFig.6に示す．SIMSプロファイルを補正したことで基板バイアス依存性を実測とシミュレーションで良く一致させることができた．従って、補正後のプロファイルは最表面付近を除いて実際のチャンネルプロファイルを正確に表していると言える．

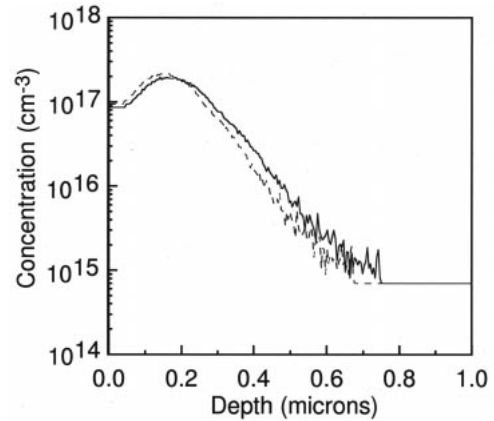


Fig.5 Boron profiles in the channel region of type A MOSFET's. Solid line denotes the artificially modified SIMS profile and dashed line denotes the corrected SIMS profile.

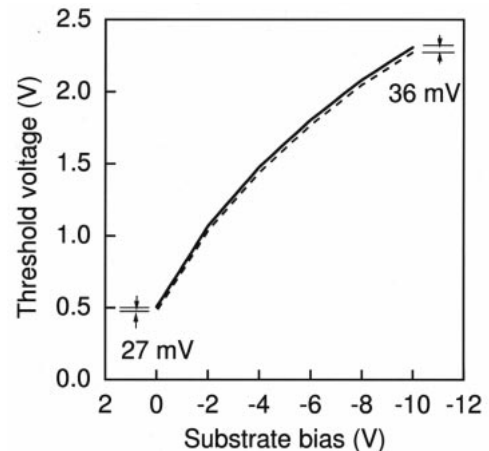


Fig.6 The body effect for type A MOSFET's. Solid line denotes the experimental data and dashed line denotes the simulated results with the corrected SIMS profile.

type Bからtype DのMOSTランジスタについても同様にSIMSプロファイルを補正した．Fig.7からFig.12に補正後のSIMSプロファイル及びそれを用いた基板バイアス依存性の比較を示す．補正係数はTable2のとおりである．

Table 2. Correction factors

補正係数	type A	type B	type C	type D
濃度	1.10	1.00	1.14	1.15
深さ	0.90	1.00	1.00	0.90

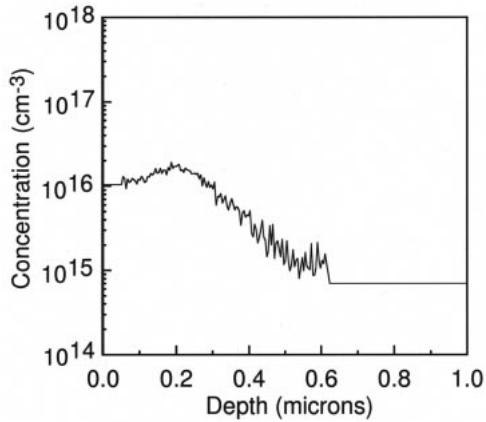


Fig.7 Boron profiles in the channel region of type B MOSFET's. Solid line denotes the artificially modified SIMS profile(= the corrected SIMS profile).

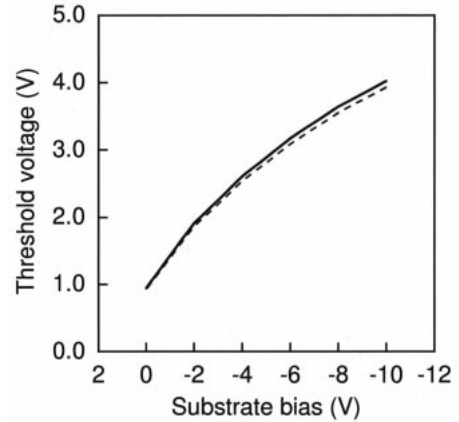


Fig.10 The body effect for type C MOSFET's. Solid line denotes the experimental data and dashed line denotes the simulated results with the corrected SIMS profile.

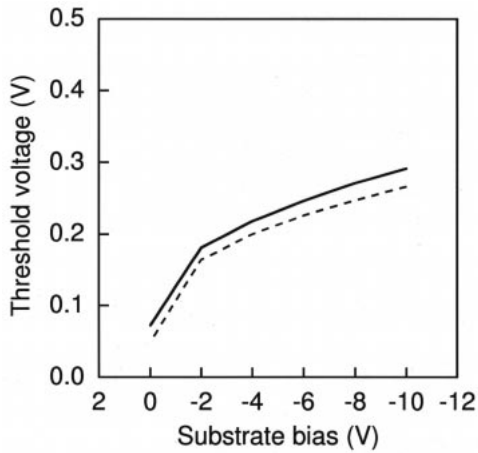


Fig.8 The body effect for type B MOSFET's. Solid line denotes the experimental data and dashed line denotes the simulated results with the corrected SIMS profile.

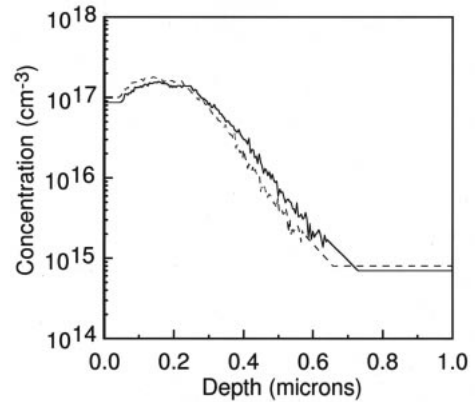


Fig.11 Boron profiles in the channel region of type D MOSFET's. Solid line denotes the artificially modified SIMS profile and dashed line denotes the corrected SIMS profile.

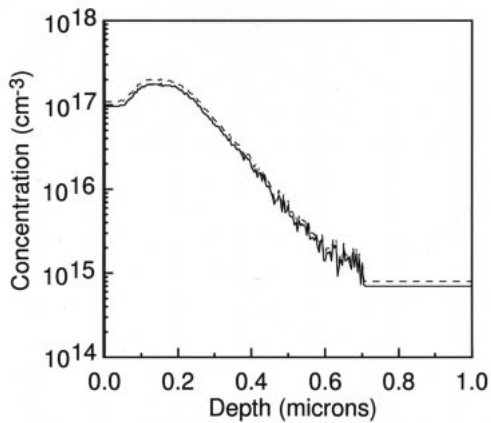


Fig.9 Boron profiles in the channel region of type C MOSFET's. Solid line denotes the artificially modified SIMS profile and dashed line denotes the corrected SIMS profile.

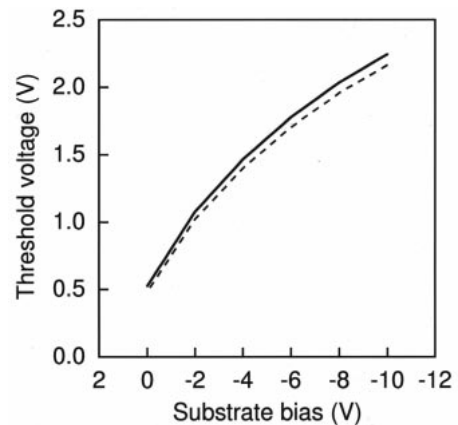


Fig.12 The body effect for type B MOSFET's. Solid line denotes the experimental data and dashed line denotes the simulated results with the corrected SIMS profile.

2-3 シリコン/シリコン酸化膜界面の解析

従来プロセスシミュレータでは、ボロンは酸化あるいは拡散時にシリコン/シリコン酸化膜界面のシリコン酸化膜側に吸い出されるというモデル⁵⁾を使用してきた。しかしながら、界面あるいはシリコン最表面付近の不純物分布を正確に測定する手段がないため、その妥当性ははっきりと確認されていない。2-2節において最表面付近を除いての高精度なプロファイル補正方法確立した。そこで、さらに、2-2節の結果を用いて、最表面付近のチャンネルプロファイルを解析したところ、シリコン/シリコン酸化膜界面のシリコン側で電氣的に活性なボロンパイルアップ層が存在する可能性があることが判明した。以下ではその詳細について述べる。

2-3-1 ボロンパイルアップ量の見積もり

Fig.6を見ると $V_b=0V$ でシミュレーションの V_{th} が実測よりも27mV低くなっている。ここで、2-2-3節において Q_{ox}/q を0としたが、実際は $4 \times 10^{10} \text{cm}^{-2}$ 程度が妥当であると考えられ、この値を用いてシミュレーションをやり直せば、誤差はさらに広がり47mVとなる。従って、 $V_b=0V$ における最大空乏層幅内のチャンネルプロファイルが実際と異なっている可能性がある。さらに詳細に調べると、type AのMOSTランジスタの場合、計算では $V_b=0V$ における最大空乏層幅は91nm程度になるので、2-2-1節で仮定した最表面付近の平坦なプロファイルが実際と合っていない可能性がある。ここで、例えば、Fig.13に示すようにゲート電極下のシリコン/シリコン酸化膜界面のシリコン側で電氣的に活性なボロンパイルアップ層が存在するならば、前述の誤差を説明できる。

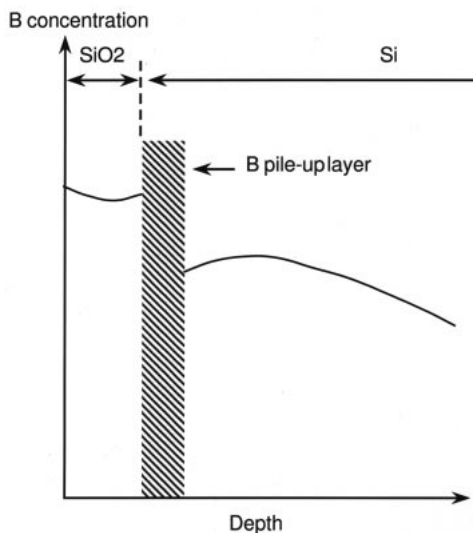


Fig.13 Conceptual schematic of the boron profile in the channel region.

そこで、まずボロンパイルアップ量を見積もるために、2-2-4節で得た補正SIMSプロファイルに対して、プロセ

スシミュレーションを合わせ込んだ (Fig.14). 合わせ込みは、注入及び拡散モデルのパラメータを用いて、最表面付近の平坦なプロファイルの終点よりも深い領域のプロファイルが良く一致するように行った。

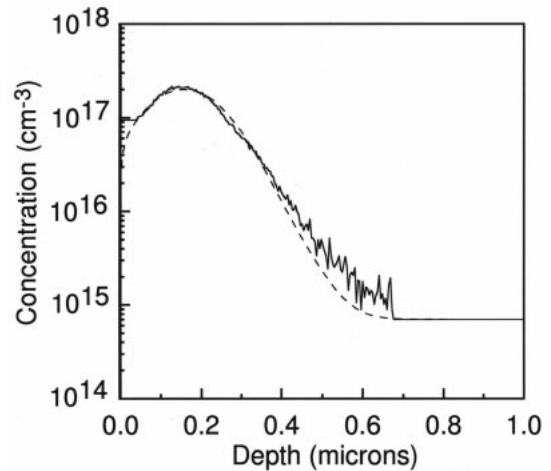


Fig.14 Boron profiles in the channel region of type A MOSFET's. Solid line denotes the corrected SIMS profile and dashed line denotes the simulated result.

次に、この補正プロファイルを用いて、2次元不純物分布データを作成し、 $V_b=0V$ での V_{th} を計算した。ここで、 $V_b=0V$ でのシミュレーションと実測の V_{th} の差 V_{th} がボロンパイルアップ量に対応していると考えられる (式 (6)).

$$V_{th} = V_{th}^{Simulated} - V_{th}^{Measured} \dots \dots (6)$$

type AのMOSTランジスタの場合は $V_{th} = -96mV$ となる。ここで、 $Q_{ox}/q=0$ として計算している。もし、ボロンパイルアップ層がシリコン最表面の非常に狭い領域に存在すると仮定すれば、固定酸化膜電荷と同じように扱え、式 (7) よりボロンパイルアップ量Pを計算できる。

$$P = - (C_{ox} V_{th}) / q \dots \dots (7)$$

type Aの場合、Pは $1.84 \times 10^{11} \text{cm}^{-2}$ と計算される。

type Bからtype Dについても同様に補正SIMSプロファイルに対してプロセスシミュレータを合わせ込み (Fig.15からFig.17), Pを求めた (Table3).

Table 3. Amount of B pile-up

	type A	type B	type C	type D
パイルアップ量 (cm^{-2})	1.84×10^{11}	6.78×10^{10}	2.71×10^{11}	1.76×10^{11}

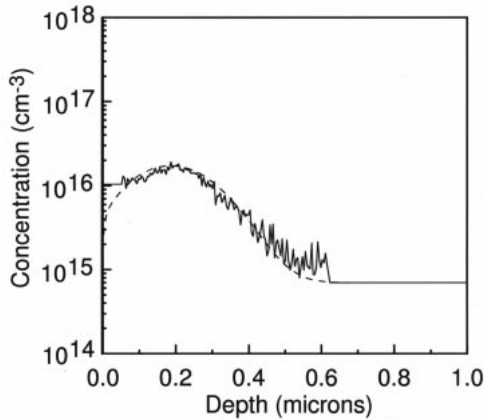


Fig.15 Boron profiles in the channel region of type B MOSFET's. Solid line denotes the corrected SIMS profile and dashed line denotes the simulated result.

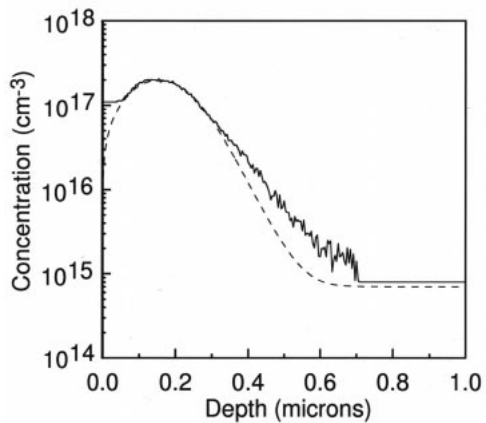


Fig.16 Boron profiles in the channel region of type C MOSFET's. Solid line denotes the corrected SIMS profile and dashed line denotes the simulated result.

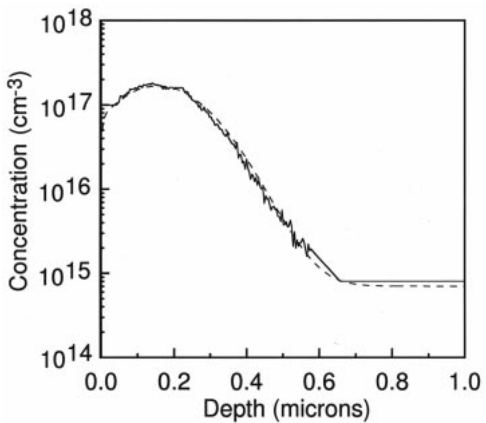


Fig.17 Boron profiles in the channel region of type D MOSFET's. Solid line denotes the corrected SIMS profile and dashed line denotes the simulated result.

2-3-2 ボロンパイルアップ量のプロセス条件依存

ここでは、2-3-1節で得られた結果をもとにボロンパイルアップ量のプロセス条件依存について述べる。Fig. 18にボロンパイルアップ量のチャンネルドーピング依存を示す。

Fig.18からチャンネルドーピング量の増加にともない、ボロンパイルアップ量も増加することが分かる。

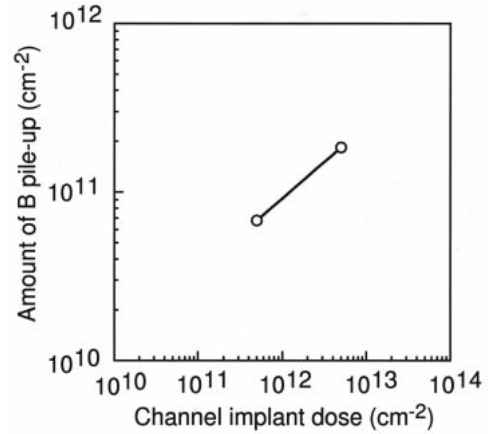


Fig.18 Amount of B pile-up as a function of channel implant dose.

Fig.19にボロンパイルアップ量のゲート酸化膜厚依存を示す。Fig.19から膜厚の増加にともない、ボロンパイルアップ量が増加することが分かる。

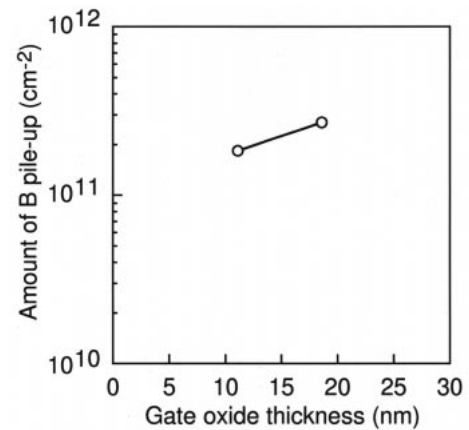


Fig.19 Amount of B pile-up as a function of gate oxide thickness.

Fig.20にボロンパイルアップ量のゲート酸化温度依存を示す。Fig.20からボロンパイルアップ量はゲート酸化温度にほとんど依存していないことが分かる。これは、ボロンパイルアップ現象がゲート酸化工程以降の熱処理によって決定されることを示唆している。

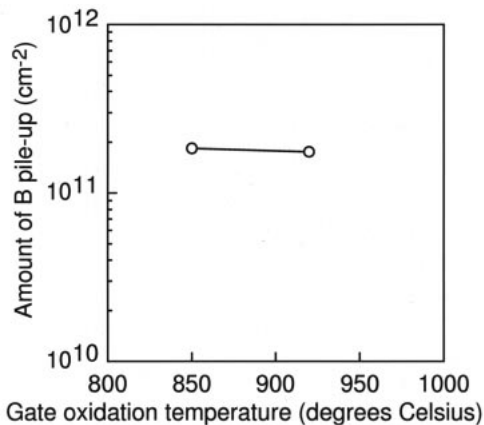


Fig.20 Amount of B pile-up as a function of gate oxidation temperature.

以上のようなボロンパイルアップ層をプロセスシミュレータで表現するためには、さらにプロセス条件依存を詳細に調べ、リンのパイルアップに対してF. Lau等が提案しているthree phase Si - SiO₂界面モデル⁶⁾のようなモデルを構築する必要があると考えられる。そのモデルをプロセスシミュレータに組み込むことができれば、幅広いプロセス条件に対してプロセス・デバイス一貫シミュレーションを用いて高精度にV_{th}を予想することが可能となる。

3. 成果

プロセスシミュレータのモデル改良に必要とされる正確なチャンネルプロファイルを得るための手法として2次元プロセス、デバイスシミュレーションを利用したSIMSプロファイル補正方法を提案した。

また、補正後のSIMSプロファイルを使用して、最表面付近のチャンネルプロファイルを解析した結果、従来の説とは異なり、シリコン/シリコン酸化膜界面のシリコン側で電氣的に活性なボロンパイルアップ層が存在する可能性があることが判明した。さらに、このボロンパイルアップ量は、チャンネルドーパ量及びゲート酸化膜厚依存性を持つことが確認された。

4. 今後の展開

ボロンパイルアップ量のプロセス条件（チャンネルドーパ、ゲート酸化膜厚、ゲート酸化以降の熱履歴等）の追加データを採取し、高精度なボロンパイルアップモデルを構築し、プロセスシミュレータに組み込む。

また、今回提案した以外の手法でボロンパイルアップの存在を確認できる方法を検討する。

謝辞

今回の研究を進めるにあたりご指導と有益な議論を頂いた大阪大学の谷口研二教授に深く感謝致します。また、試料作製にご協力頂いた応用電子研究所超微細デバイス研究センターならびに旧LSI技術研究所プロセス開発室の皆様がこの場を借りてお礼申し上げます。

参考文献

- 1) W. Vandervorst, T. Clarysse : *On the determination of dopant / carrier distributions*, J. Vac. Sci. Technol., B 10, (1992) pp. 302 - 315
- 2) S. F. Corcoran, S. B. Felch : *Evaluation of polyencapsulation, oxygen leak, and low energy ion bombardment in the reduction of secondary ion mass spectrometry surface ion yield transients*, J. Vac. Sci. Technol., B 10, (1992) pp.342 - 347
- 3) S. Hofmann : *Quantitative Depth Profiling in Surface Analysis*, Surface and Interface Analysis, Vol. 2, No. 4, (1980) pp. 148 - 160
- 4) Pole Shang Lin, Chia Haur Chang : *A New Method to Determine the Work Function Difference and its Application to Calibrate the Boron Segregation Coefficient*, IEEE Elec. Dev. Lett., Vol. 12, No. 11, (1991) pp. 638 - 640
- 5) D. A. Antoniadis, M. Rodoni, R. W. Dutton : *Impurity Redistribution in SiO₂ - Si during Oxidation*, J. Electrochem. Soc., Vol. 126, No. 11, (1979) pp. 1939 - 1945
- 6) F. Lau et al : *A Model for Phosphorus Segregation at the Silicon - Silicon Dioxide Interface*, Appl. Phys., A 49, (1989) pp. 671 - 675