
低電圧で動作するCMOSリファレンス電圧回路

Low Voltage Operation CMOS Voltage Reference Circuit

大石 秀伸*
Hidenobu OHISHI

大仁 正則*
Masanori DAININ

渡辺 博文**
Hirobumi WATANABE

要 旨

本論文は、不純物およびゲート長 L の異なるゲート電極を持った、2つのCMOSトランジスタで構成されたリファレンス電圧（以下、 V_{ref} ）回路にて、バックバイアス効果を利用した新しいLow Voltage V_{ref} 回路が、既に実用化されているConventional V_{ref} 回路と比べて、低電圧で動作可能であること、ウェハ面内ばらつきが良好なこと、温度特性が良好なこと、消費電流が小さくなることを示した。

ABSTRACT

This paper presents the low voltage operation CMOS reference circuit consisting of a pair of transistors, which have different types of impurities and unmatched lengths of poly Si gates. The measured results for the low voltage reference revealed that the voltage reference has a lower voltage operation, good output voltage reproducibility, lower temperature coefficient, and lower current consumption.

* 電子デバイス事業部 生産室
Production Department, Electronic Devices Division

** リコー技術研究所
Ricoh Institute of Technology

1. はじめに

電源ICなどのアナログ電子回路では、精度の高い制御や低消費電力化が必要となっている。高精度化に特に重要となる回路の1つに、リファレンス電圧（以下、Vref）回路がある。我々はこれまでVref回路の高精度化の開発を行ってきた¹⁾。

また近年、リコーが市場で大きなシェアを持つリチウムイオン電池保護ICにおいて、検出電圧を低電圧化して検出回路を低消費電流化することが電池の長時間使用に貢献するため、低電圧化技術も重要になってきており、キー回路となるVref回路の低電圧化のニーズが高まっている。

Vref回路は、①バンドギャップリファレンス回路^{2,3)}、②チャンネル不純物濃度を変えて閾値電圧（以下、 V_{th} ）の差を利用した回路⁴⁾、③ゲート仕事関数差を用いた回路が主に使用されているが⁵⁾、これらのVref回路は、電源電圧を1V以下に下げることができない（①および③）、温度特性が大きい（②）、というように、今後の低電圧化にあたっては、いずれも課題を抱えている。

我々は先に、一般的なCMOSプロセスを用いながら、回路設計を工夫して、0.55 Vという低電圧で動作するLow Voltage Vref回路を実現した⁶⁾。このVref回路は、ウェハ面内ばらつきが小さく、安定した温度特性を持ち、消費電流が小さいこともわかった。

本論文では、この低電圧で動作するLow Voltage Vref回路にて、ウェハ面内ばらつき、温度特性、消費電流を従来型のConventional Vref回路と比較し、性能の有意性について論じる。

2. 理論

2-1 仕事関数差Vrefの理論

これまでにリコーで開発されてきたVref回路のうち、代表的なものとして、ゲート仕事関数差を用いたVref回路がある。この回路は、チャンネルの不純物濃度は同じで、ポリSiゲート電極の極性が異なる2つのNチャンネル型CMOSトランジスタM1、M2で構成されている（Fig. 1）。ゲート酸化膜容量 C_{ox} 、ゲート電極の長さ L 、ゲート電極の幅 W 等のパラメータはM1とM2で共通であるが、M1には高濃度N型ゲート電極、M2には高濃度P型ゲート電極を使用している。そのためVrefは(1)式のように、ゲート電極の仕事関数 ϕ_{gate} の差で表される。

$$\begin{aligned} V_{ref} &= V_{th_{M2}} - V_{th_{M1}} = \phi_{gate_{p+}} - \phi_{gate_{n+}} \\ &= \frac{kT}{q} \cdot \ln \frac{N_{p+}}{N_i} - \left(- \frac{kT}{q} \cdot \ln \frac{N_{n+}}{N_i} \right) = \frac{kT}{q} \cdot \ln \frac{N_{p+} \cdot N_{n+}}{N_i^2} \quad (1) \end{aligned}$$

ここで、 $V_{th_{M1}}$ はM1の閾値電圧、 $V_{th_{M2}}$ はM2の閾値電圧、 k はボルツマン定数、 T は温度、 q は電荷、 N_i は真性半導体のキャリア濃度、 N_{p+} は高濃度P型ゲート電極を使用したトランジスタM2のキャリア濃度、 N_{n+} は高濃度N型ゲート電極を使用したトランジスタM1のキャリア濃度である。

(1)式で示されるVrefは、正の温度特性を持つ。

2-2 Conventional Vref回路

この温度特性を低減させるために、2つのトランジスタM1、M2のゲート電極の長さ L をそれぞれ固有の値とした回路（Conventional Vref回路）がある（回路図はFig. 1と同じ）。このVref回路では、仕事関数差で発生する温度特性を、 L 長が異なるために発生する移動度 μ （特にフォノン散乱に関わる μ_{ph} ）の温度特性の差で補正することができるため、さらに温度特性の良いVrefを実現できる。

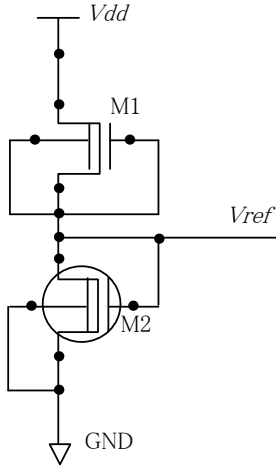


Fig. 1 (Conventional) Vref circuit.

ここで、フォノン散乱に関わる移動度 μ_{PH} は、以下の(2)式で表されるように、 L 長に依存する電界効果移動度 E_{eff} が温度特性に影響を与えることがわかる。

$$\mu_{PH}(phonon) = \frac{M_{uephonon}}{(T / TNOM)^{MUETMP} \cdot E_{eff}^{MUEPH0}} \quad (2)$$

Fig. 1のConventional Vref回路において、M1とM2には同じドレイン電流 I_d が流れるので、(3)式の関係が成り立つ。

$$I_{dM1} - I_{dM2} = \frac{1}{2} Cox_{M1} \cdot \mu_{M1} \cdot \frac{W_{M1}}{L_{M1}} (V_{gsM1} - V_{thM1})^2 - \frac{1}{2} Cox_{M2} \cdot \mu_{M2} \cdot \frac{W_{M2}}{L_{M2}} (V_{gsM2} - V_{thM2})^2 = 0 \quad (3)$$

Conventional Vref回路では、 $V_{ref} = V_{gsM2}$ であることから、(3)式を変形すると、以下の(4)式が成り立つ。

$$V_{ref} = V_{gsM2} = V_{thM2} - \sqrt{\frac{Cox_{M1} \cdot \mu_{M1} \cdot L_{M2} \cdot W_{M1}}{Cox_{M2} \cdot \mu_{M2} \cdot L_{M1} \cdot W_{M2}}} \cdot (V_{thM1} - V_{gsM1}) \quad (4)$$

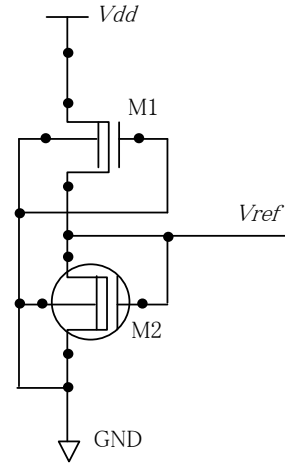


Fig. 2 Low Voltage Vref circuit.

ここで、 $V_{gsM1} = 0V$ であり、ゲート酸化膜容量 Cox 、ゲート幅 W は2つのトランジスタ間で同じであるため、 $Cox_{M1} = Cox_{M2}$ および $W_{M1} = W_{M2}$ となる。これらを(4)式に代入すると、(5)式が導かれる。

$$V_{ref} = \frac{\sqrt{\mu_{M2} \cdot L_{M1}} \cdot V_{thM2} - \sqrt{\mu_{M1} \cdot L_{M2}} \cdot V_{thM1}}{\sqrt{\mu_{M2} \cdot L_{M1}}} \quad (5)$$

2-3 Low Voltage Vref回路

従来の方では、Vrefの温度特性は向上するものの、電源電圧を1Vよりも下げることは難しかった。そこで電源電圧をさらに引き下げるために、2つのトランジスタを組み合わせたVref回路を工夫した。

従来はM1のソースに接続していたM1のゲートを、Fig. 2に示すように、グラウンドに接続すると、バックバイアス効果によって、ドレイン電流を減らすことができる。その結果、M1とM2の動作点の電圧が下がるため、最小動作電圧も下げられることになる。

Low Voltage Vref回路では、 $V_{gsM1} = -V_{ref}$ となるので、 $Cox_{M1} = Cox_{M2}$ 、 $W_{M1} = W_{M2}$ と合わせて(4)式に代入すると、 V_{ref} は以下の(6)式で表される。

$$V_{ref} = \frac{\sqrt{\mu_{M2} \cdot L_{M1}} \cdot V_{thM2} - \sqrt{\mu_{M1} \cdot L_{M2}} \cdot V_{thM1}}{\sqrt{\mu_{M2} \cdot L_{M1}} + \sqrt{\mu_{M1} \cdot L_{M2}}} \quad (6)$$

3. 実験

8 インチウェハの面内のConventional Vref回路およびLow Voltage Vref回路の特性ばらつきが測定できるパターンを設計し、一般的なハーフミクロンCMOSプロセスを用いてウェハを試作した。それぞれのVref回路は、ウェハ面内268箇所均等に配置されており、ウェハ面内ばらつきの評価には全点の測定結果を用いた。また、2つのトランジスタM1、M2のL長の比 ($L_{ratio} = L_{M1}/L_{M2}$) を0.25~0.75まで変えたVref回路を用意した。評価として、Vref回路の $V_{dd} - V_{ref}$ 特性、 V_{ref} ばらつき、温度特性、消費電流の比較を行った。

4. 実験結果と考察

4-1 $V_{dd} - V_{ref}$ 特性

Conventional Vref回路とLow Voltage Vref回路のそれぞれの動作電圧 V_{dd} と V_{ref} との関係を図3に示す。バックバイアス効果を利用したLow Voltage Vref回路では、最小動作電圧が0.8 Vとなった。Conventional Vref回路の最小動作電圧2.0 Vに比べ、0.40倍に低電圧化できた。ここで、最小動作電圧とは、 $V_{dd} = 5V$ のときの V_{ref} に対し、95%の V_{ref} となる V_{dd} の値である。

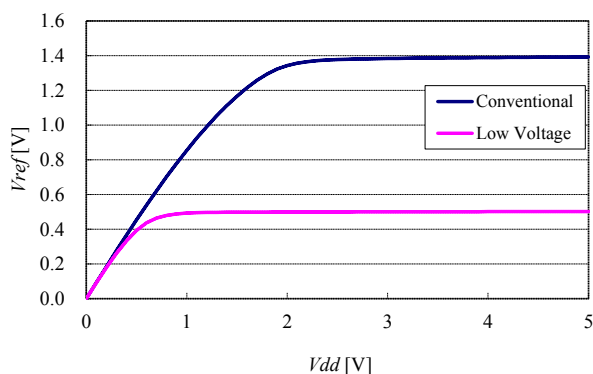


Fig. 3 V_{ref} vs V_{dd} .

今回のLow Voltage Vref回路の最小動作電圧0.8 Vは、以前の報告⁶⁾の最小動作電圧0.55 Vと比較して高くなっているが、これは、前回のCMOSプロセステクノロジーがサブハーフミクロン世代で、今回はハーフミクロン世代という違いがあり、そのために2つのトランジスタの V_{th} の値が異なることによる。

また、 V_{ref} についても、Conventional Vref回路が1.4 Vであるのに対し、Low Voltage Vref回路では0.5 Vと、0.36倍に下げることができる。 V_{ref} の低下については、(6)式の $V_{th_{M1}}$ がバックバイアス効果により上昇したことによる。

今回の測定には、いずれも $L_{ratio} = 0.5$ のVref回路を使用しているため、 $2L_{M1} = L_{M2}$ である。また、M1とM2はフォノン散乱の移動度の項が異なるものの、チャンネルの不純物濃度は同じなので、 $\mu_{M1} = \mu_{M2}$ とする。これらをConventional Vref回路の(5)式に代入すると、以下の(7)式のようになる。

$$V_{ref} = V_{th_{M2}} - \sqrt{2} \cdot V_{th_{M1}} \quad (7)$$

Low Voltage Vref回路の(6)式に代入すると、以下の(8)式のようになる。

$$V_{ref} = \left(\frac{1}{1 + \sqrt{2}} \right) (V_{th_{M2}} - \sqrt{2} \cdot V_{th_{M1}}) \quad (8)$$

V_{ref} が出力されている動作点での V_{th} をそれぞれ(7)式および(8)式に代入すると、Conventional Vref回路、Low Voltage Vref回路の V_{ref} はそれぞれ1.26 V、0.46 Vとなり、実測値とおおよそ一致する。

4-2 V_{ref} ばらつき

Conventional Vref回路およびLow Voltage Vref回路の面内268箇所の V_{ref} 測定結果を Table 1 に示す。ここでは、標準偏差 σ での比較を行っている。また、それぞれのヒストグラムを、Fig. 4 a) および b) に示す。これより、Low Voltage Vref回路では、Conventional Vref回路に比べ V_{ref} の σ が小さくなっていることがわかる。

以下、Low Voltage Vref回路の方が、 σ が小さくなっている理由について、(5)式および(6)式から考察する。

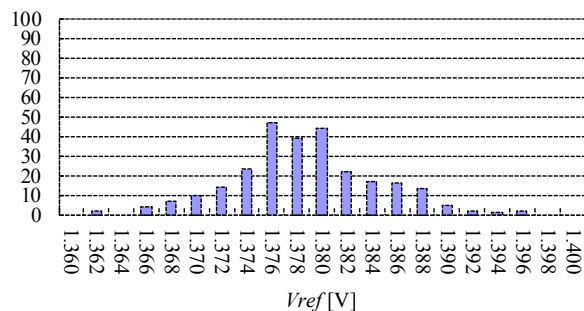
Vref回路では、 $L = 10 \mu\text{m}$ 以上の十分大きいL長を使用しているため、 L_{M1} , L_{M2} は、 σ への影響は十分小さい。今回の測定結果から、トランジスタの移動度 μ のばらつきは、 V_{th} のばらつきの1/4程度であり、 V_{ref} のばらつきに支配的なのは $V_{th_{M1}}$, $V_{th_{M2}}$ であることがわかった。

Low Voltage Vrefの各 V_{th} にかかる係数は、Conventional Vrefと比較すると、分母に $\sqrt{\mu_{M1} \cdot L_{M2}}$ が追加されているので、係数全体の絶対値は小さくなる。以上の理由で、各 V_{th} の σ が同等であっても、Low Voltage Vref回路の方が、 V_{ref} の σ は小さくなる。

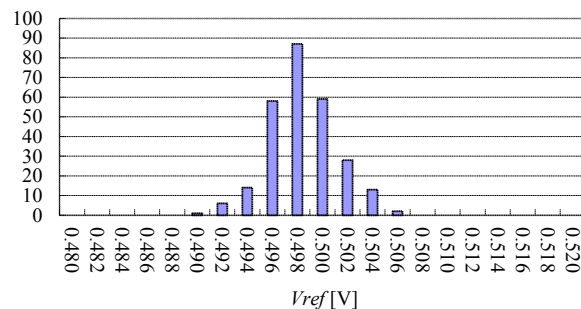
σ が小さくなることは、リチウムイオン電池保護ICの場合、検出電圧の微調整を行うトリミング工程において有利である。Vref回路を使用して狙いの検出電圧を得るには、Vref回路に接続した抵抗の比を変えることで、狙いの検出電圧に変換しているが、 V_{ref} に応じてトリミング工程にて抵抗につながる配線をレーザーで切断し、抵抗の比を微調整することで、製造工程で発生する V_{ref} のばらつきを打ち消すことができる。しかし、抵抗体自体にもばらつきがあるので、 V_{ref} の σ を小さくできれば、微調整に用いる抵抗体の本数を削減することができるため、検出電圧のばらつき低減、およびチップの小型化に有利である。

Table 1 Comparison of Deviation of V_{ref} .

	Conventional	Low Voltage
AVE (V)	1.3776	0.4974
MAX (V)	1.3947	0.5044
MIN (V)	1.3608	0.4892
σ (V)	0.0057	0.0026



a) Conventional Vref.



b) Low Voltage Vref.

Fig. 4 Deviation of V_{ref} .

4-3 V_{ref} 温度特性

V_{ref} の温度特性は、2つのトランジスタの L_{ratio} に依存するため、Conventional Vref回路およびLow Voltage Vref回路それぞれについて、各 L_{ratio} での温度と、25℃の V_{ref} からの変動率との関係について評価した。測定温度 T_a での変動率 ($\Delta V_{ref}\%$) は、以下の(9)式で表される。

$$\Delta V_{ref}(\%) = \frac{V_{ref}(T_a) - V_{ref}(T_{25})}{V_{ref}(T_{25})} \times 100 \quad (9)$$

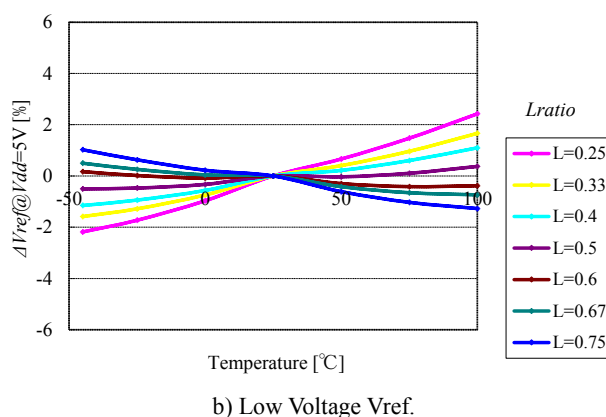
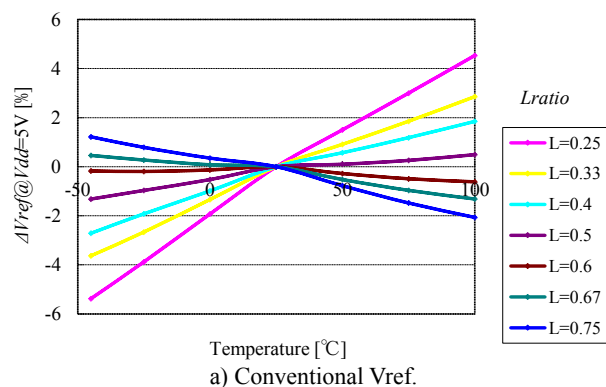


Fig. 5 ΔV_{ref} vs Temperature.

結果をFig. 5 a)およびb)に示す。また、 L_{ratio} と温度係数TC (ppm/°C) との関係を図6に示す。これより、Conventional Vref回路とLow Voltage Vref回路では温度係数TC = 0 ppm/°Cとなる L_{ratio} が異なっていることがわかる。Conventional Vref回路およびLow Voltage Vref回路の L_{ratio} を、それぞれ0.57, 0.51に設定すれば、TC = 0 ppm/°Cの安定な温度特性を得ることができる。

温度特性の L_{ratio} 依存性 (Fig. 6の傾き) は、Low Voltage Vref回路の方が、Conventional Vref回路よりも小さい。これは、バックバイアスにより電界効果移動度 E_{eff} が小さくなり、結果として μ_{PH} の変動が小さくなって、 V_{ref} の温度特性も小さくなるためである。

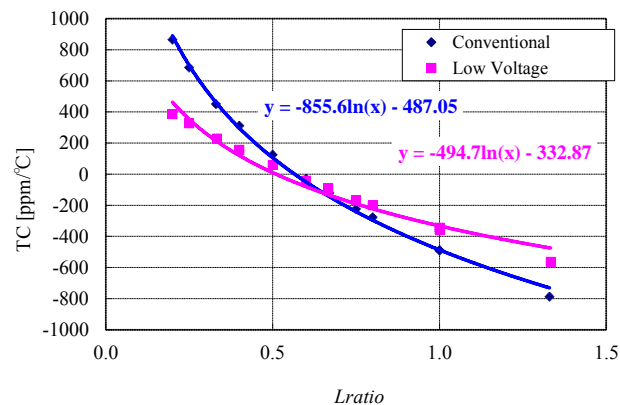


Fig. 6 TC vs L_{ratio} .

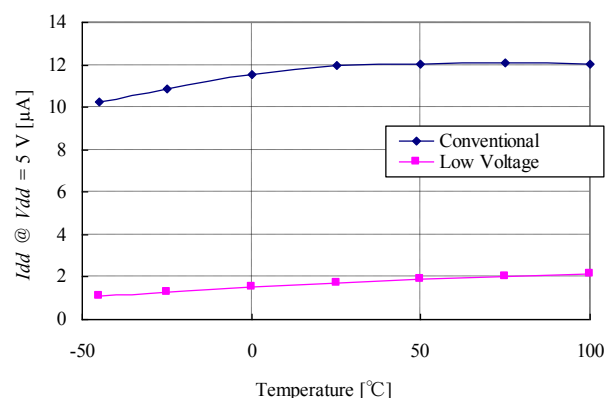


Fig. 7 Consumption current.

4-4 消費電流

Conventional Vref回路およびLow Voltage Vref回路それぞれについて、 $L_{ratio} = 0.5$ のときの消費電流の比較を行った。結果を図7に示す。これより、Low Voltage Vref回路では、Conventional Vref回路に比べ消費電流が0.14倍に抑えられていることがわかる。Low Voltage Vref回路の25°Cでの消費電流は、1.7 μ Aであった。

5. 結論

仕事関数の異なる2種類のポリSiゲートを用いたVref回路にて、一般的なCMOS製造プロセスを変えることなく、一方のゲートをグラウンドに接続するだけで、最小動作電圧を0.40倍、 V_{ref} を0.36倍に低下できることがわかった。また、消費電流を0.14倍に小さくできるということもわかった。面内ばらつきや温度特性についても良好な特性が得られた。Low Voltage Vref回路は、今後の電源ICにおいて、低電圧化のコア技術となる。

参考文献

- 1) H. Watanabe et al.: CMOS Voltage Reference Based on Gate Work Function Differences in Poly-Si Controlled by Conductivity Type and Impurity Concentration, *IEEE J. Solid-State Circuits*, Vol. 38, No. 6, pp. 987-994 (2003).
- 2) Ming-Dou Ker et al.: New curvature-compensation technique for CMOS bandgap reference with sub-1-V operation, *IEEE International Symposium on ISCAS*, Vol. 4, pp. 3861-3864 (2005).
- 3) Y. Okuda et al.: A Trimming-Free CMOS Bandgap-Reference Circuit with Sub-1-V-Supply Voltage Operation, *Symp. VLSI Circuits*, pp. 96-97 (2007).
- 4) Guiseppe De Vita et al.: A Sub-1V, 10 ppm/°C, Nanopower Voltage Reference Generator, *32nd European Solid-State Circuits Conference*, pp. 307-310 (2006).
- 5) H. J. Oguey et al.: MOS voltage reference based on polysilicon gate work function difference, *IEEE J. Solid-State Circuits*, Vol. SC-15, No. 3, pp. 264-269 (1980).
- 6) H. Watanabe et al.: 0.55V Operation CMOS Voltage Reference based on the Work Function Difference of Poly Si Gates, *IMFEDK2010*, pp. 42-43 (2010).
- 7) Hiroshima University & STARC: *HiSIM HV 1.2.0 User's Manual*.